



BEST AVAILABLE COPY

IPW

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

| | | | |
|--|---|------------------------|---------------|
| | | Application Number | 10/710,398 |
| | | Filing Date | 7/8/2004 |
| | | First Named Inventor | Yung-Chun Lei |
| | | Art Unit | |
| | | Examiner Name | |
| Total Number of Pages in This Submission | 3 | Attorney Docket Number | MTKP0068USA |

ENCLOSURES (Check all that apply)

| | | |
|--|---|--|
| <input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53 | <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____ <div style="border: 1px solid black; padding: 2px;">Remarks</div> | <input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input type="checkbox"/> Other Enclosure(s) (please identify below): |
|--|---|--|

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

| | |
|-------------------------|-------------------------------|
| Firm or Individual name | Winston Hsu, Reg. No.: 41,526 |
| Signature | |
| Date | 8/21/2004 |

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

| | | |
|-----------------------|--|------|
| Typed or printed name | | |
| Signature | | Date |

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

 Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ 0.00)

Complete if Known

| | |
|----------------------|---------------|
| Application Number | 10/710,398 |
| Filing Date | 7/8/2004 |
| First Named Inventor | Yung-Chun Lei |
| Examiner Name | |
| Art Unit | |
| Attorney Docket No. | MTKP0068USA |

METHOD OF PAYMENT (check all that apply)

 Check Credit card Money Order Other None
 Deposit Account:Deposit Account Number
50-3105Deposit Account Name
North America Intellectual Property Corp.

The Director is authorized to: (check all that apply)

Charge fee(s) indicated below Credit any overpayments
 Charge any additional fee(s) or any underpayment of fee(s)
 Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

| Large Entity | Small Entity | Fee Description | Fee Paid |
|------------------------|---------------|------------------------|----------|
| Fee Code (\$) | Fee Code (\$) | | |
| 1001 770 | 2001 385 | Utility filing fee | |
| 1002 340 | 2002 170 | Design filing fee | |
| 1003 530 | 2003 265 | Plant filing fee | |
| 1004 770 | 2004 385 | Reissue filing fee | |
| 1005 160 | 2005 80 | Provisional filing fee | |
| SUBTOTAL (1) (\$ 0.00) | | | |

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

| Total Claims | -20** = | X | = | Fee Paid |
|--------------------|---------|---|---|----------|
| Independent Claims | - 3** = | X | = | |
| Multiple Dependent | | | | |

| Large Entity | Small Entity | Fee Description |
|------------------------|---------------|--|
| Fee Code (\$) | Fee Code (\$) | |
| 1202 18 | 2202 9 | Claims in excess of 20 |
| 1201 86 | 2201 43 | Independent claims in excess of 3 |
| 1203 290 | 2203 145 | Multiple dependent claim, if not paid |
| 1204 86 | 2204 43 | ** Reissue independent claims over original patent |
| 1205 18 | 2205 9 | ** Reissue claims in excess of 20 and over original patent |
| SUBTOTAL (2) (\$ 0.00) | | |

*or number previously paid, if greater; For Reissues, see above

3. ADDITIONAL FEES

Large Entity Small Entity

| Fee Code (\$) | Fee Code (\$) | Fee Description | Fee Paid |
|-----------------------------------|---------------|--|----------|
| 1051 130 | 2051 65 | Surcharge - late filing fee or oath | |
| 1052 50 | 2052 25 | Surcharge - late provisional filing fee or cover sheet | |
| 1053 130 | 1053 130 | Non-English specification | |
| 1812 2,520 | 1812 2,520 | For filing a request for ex parte reexamination | |
| 1804 920* | 1804 920* | Requesting publication of SIR prior to Examiner action | |
| 1805 1,840* | 1805 1,840* | Requesting publication of SIR after Examiner action | |
| 1251 110 | 2251 55 | Extension for reply within first month | |
| 1252 420 | 2252 210 | Extension for reply within second month | |
| 1253 950 | 2253 475 | Extension for reply within third month | |
| 1254 1,480 | 2254 740 | Extension for reply within fourth month | |
| 1255 2,010 | 2255 1,005 | Extension for reply within fifth month | |
| 1401 330 | 2401 165 | Notice of Appeal | |
| 1402 330 | 2402 165 | Filing a brief in support of an appeal | |
| 1403 290 | 2403 145 | Request for oral hearing | |
| 1451 1,510 | 1451 1,510 | Petition to institute a public use proceeding | |
| 1452 110 | 2452 55 | Petition to revive - unavoidable | |
| 1453 1,330 | 2453 665 | Petition to revive - unintentional | |
| 1501 1,330 | 2501 665 | Utility issue fee (or reissue) | |
| 1502 480 | 2502 240 | Design issue fee | |
| 1503 640 | 2503 320 | Plant issue fee | |
| 1460 130 | 1460 130 | Petitions to the Commissioner | |
| 1807 50 | 1807 50 | Processing fee under 37 CFR 1.17(q) | |
| 1806 180 | 1806 180 | Submission of Information Disclosure Stmt | |
| 8021 40 | 8021 40 | Recording each patent assignment per property (times number of properties) | |
| 1809 770 | 2809 385 | Filing a submission after final rejection (37 CFR 1.129(a)) | |
| 1810 770 | 2810 385 | For each additional invention to be examined (37 CFR 1.129(b)) | |
| 1801 770 | 2801 385 | Request for Continued Examination (RCE) | |
| 1802 900 | 1802 900 | Request for expedited examination of a design application | |
| Other fee (specify) _____ | | | |
| *Reduced by Basic Filing Fee Paid | | SUBTOTAL (3) (\$ 0.00) | |

(Complete if applicable)

| | | | | | |
|-------------------|-------------|--------------------------------------|--------|-----------|--------------|
| Name (Print/Type) | Winston Hsu | Registration No. (Attorney/Agent) | 41,526 | Telephone | 886289237350 |
| Signature | | | Date | 8/7/2004 | |

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Not all questions in this form may apply to your situation. OMB control number
1000-0001

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION -- Supplemental Priority Data Sheet

Additional foreign applications:

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder

申請日：西元 2003 年 07 月 09 日

Application Date

申請案號：092118757

Application No.

申請人：聯發科技股份有限公司

Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長

Director General

蔡練生

發文日期：西元 2003 年 10 月 17

Issue Date

發文字號：09221050630

Serial No.

| | |
|-------|-------|
| 申請日期： | IPC分類 |
| 申請案號： | |

(以上各欄由本局填註)

發明專利說明書

| | | |
|----------------------|---|--|
| 一、 發明名稱 | 中文 | 應用跳躍式浮點數運算法之數位訊號處理器 |
| | 英文 | DIGITAL SIGNAL PROCESSOR BASED ON JUMPING FLOATING POINT ARITHMETIC |
| 二、 發明人 (共3人) | 姓名 (中文) | 1. 雷永群 2. 陳玉銖 3. 張祐齊 |
| | 姓名 (英文) | 1. Lei, Yung-Chun 2. Chen, Yu-Chu 3. Chang, Yu-Chi |
| | 國籍 (中英文) | 1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW |
| | 住居所 (中文) | 1. 新竹市東區豐功里二十四鄰建中一路三十一號十八樓之三 2. 新竹市寶山路一四五巷二十一號七樓 3. 桃園市長壽街八十四之二號 |
| | 住居所 (英文) | 1. 18F-3, No. 31, Chien-Chung I Rd. Hsin-Chu City, Taiwan, R.O.C. 2. 7F, No. 21, Lane 145, Pao-Shan Rd. Hsin-Chu City, Taiwan, R.O.C. 3. No. 84-2, Chang-Shou St., Tao-Yuan City, Taiwan, R.O.C. |
| | 名稱或 姓名 (中文) | 1. 聯發科技股份有限公司 |
| 名稱或 姓名 (英文) | 1. MediaTek Inc. | |
| 國籍 (中英文) | 1. 中華民國 TW | |
| 住居所 (營業所) (中文) | 1. 新竹市新竹科學工業園區創新一路13號1F (本地址與前向貴局申請者相同) | |
| 住居所 (營業所) (英文) | 1. 1F, No. 13, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C. | |
| 代表人 (中文) | 1. 蔡明介 | |
| 代表人 (英文) | 1. Tsai, Ming-Kai | |



四、中文發明摘要 (發明名稱：應用跳躍式浮點數運算法之數位訊號處理器)

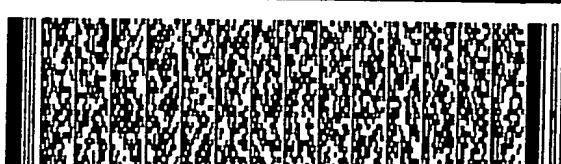
點。電位該有轉浮數一資移乘數具為示躍數有位位。元將換表跳複具數取元位來轉一該該理筆萃單高用料每及算處數一算一，資；法運來複、運生路位料示來用之路一產電數資表用，法電及乘法數位數元器示法以相乘元數點單理表示、料該位數定算處數一路資於高元該運號點有電位連一位於；位式包轉數置法一資轉訊浮含換數電之高料換數躍器法元裝示之位作種跳理示位移表法數間一處表低位數示一之供或號個二取點表將法提示法訊數將萃浮數係示。明示位複來；式點路表料發表數、用料躍定電數資本數該置路資跳該換點位。

五、(一)、本案代表圖為第十一圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：DIGITAL SIGNAL PROCESSOR BASED ON JUMPING FLOATING POINT ARITHMETIC)

A digital signal processor for processing a plurality of data sets with a fixed point representation or a jumping floating point representation. The digital signal processor includes a multiplication circuit, an extracting/shifting device, a plurality of representation converters, and an arithmetic unit. The multiplication circuit is used to

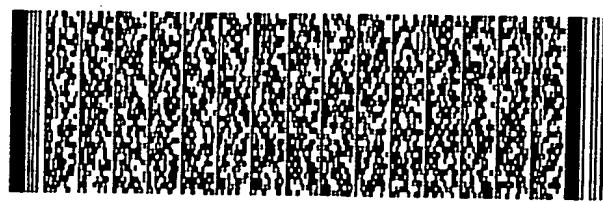


四、中文發明摘要 (發明名稱：應用跳躍式浮點數運算法之數位訊號處理器)

| | |
|--------------|--------------|
| 70 數位訊號處理器 | 72 資料接收端 |
| 73 第五表示法轉換電路 | 75 第六表示法轉換電路 |
| 76 乘法電路 | 77 萃取裝置 |
| 78 萃取位移裝置 | 79 位移裝置 |
| 80 選擇運算模組 | 81 運算單元 |
| 82 儲存裝置 | 86 資料寫入端 |
| 89 選擇裝置 | |

六、英文發明摘要 (發明名稱：DIGITAL SIGNAL PROCESSOR BASED ON JUMPING FLOATING POINT ARITHMETIC)

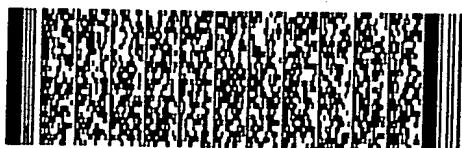
generate a high-bit number data set by multiplying two low-bit number data sets with each other. The extracting/shifting device is electrically connected to the multiplication circuit for transforming the high-bit number data set with the jumping floating point representation to a high-bit number data set with the fixed point representation. Each



四、中文發明摘要 (發明名稱：應用跳躍式浮點數運算法之數位訊號處理器)

六、英文發明摘要 (發明名稱：DIGITAL SIGNAL PROCESSOR BASED ON JUMPING FLOATING POINT ARITHMETIC)

representation converter is used to transform a data set between the fixed point representation and the jumping floating point representation. The arithmetic unit is used to operate a plurality of data sets.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

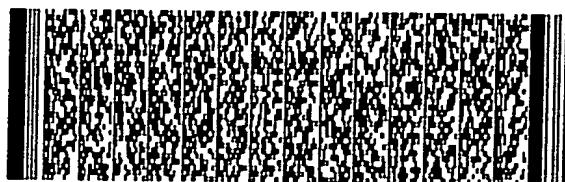
發明所屬之技術領域

本發明提供一種可處理複數筆數位資料之數位訊號處理器及相關方法，尤指一種利用一跳躍式浮點數運算法 (Jumping Floating Point Arithmetic)，將複數筆數位資料於一定點數表示法及一跳躍式浮點數表示法之間作轉換及運算的數位訊號處理器及相關方法。

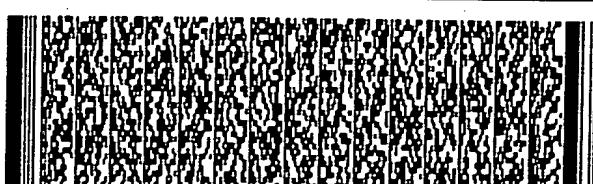
先前技術

的業技術訊資機子(Digital Signal Processor, DSP)。隨著數位大型信能超著數種功能，隨時即展開了各種各樣的應用領域。這些強大而靈活的功能，使得數位處理器在許多領域中都有廣泛的應用。這種處理器的出現，為電子工程領域帶來了前所未有的變化。它們的高精度、高可靠性和低功耗，使得數位處理器在許多傳統上由模拟电路实现的功能上，具有显著的优势。數位處理器的出現，為電子工程領域帶來了前所未有的變化。它們的高精度、高可靠性和低功耗，使得數位處理器在許多傳統上由模拟电路实现的功能上，具有显著的优势。

概略而言，數位訊號處理器具有不同的特點，適用於不同應用。一般數位訊號處理器可以分為定點數式(Fixed

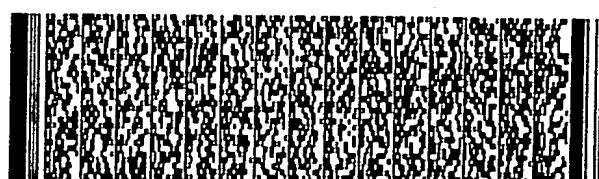
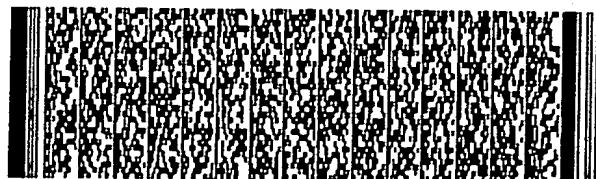


五、發明說明 (2)



五、發明說明 (3)

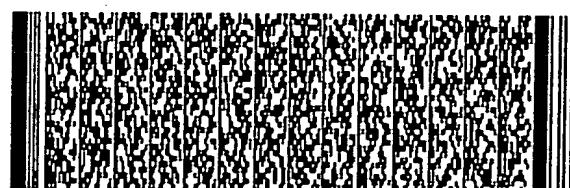
佔位元數的多寡，分成 n 位元之數位資料以及 $2n$ 位元之數位資料， n 為大於零之整數。數位訊號處理器 10 包含有
一資料接收端 12、一乘法電路 (Multiplication Circuit) 16、一乘法位移裝置 (Multiplication Shifter) 18、一第一位移裝置 14、一第二位移裝置 24、
一選擇運算模組 (Multiplexing Arithmetic Module) 20、一儲存裝置 (Storage Instrument) 22、以及一資料寫入端 26。資料接收端 12 用來由一記憶體或其他外部電路接收複數數筆 n 位元之數位資料，資料接收端 12 並將兩筆 n 位元之數位資料送進乘法電路 16 中，乘法電路 16 可將具有定點數表示法之二 n 位元之數位資料相乘，產生一具有定點數表示法之 $2n$ 位元之數位資料，而後電連於乘法電路 16 之乘法位移裝置 18，會依據此數位資料為整數或小數之型式，適當調整相乘之後 $2n$ 位元之數位資料之小數點的位置，產生一 $2n$ 位元之第一數位資料。同時，資料接收端 12 將一 n 位元之數位資料傳送至第一位移裝置 14 中，第一位移裝置 14 為將具有定點數表示法之此 n 位元之數位資料，經一基本之正負號延伸程序 (Sign Extension)，產生一具有定點數表示法之 $2n$ 位元之第二數位資料。以將一 8 位元之二進位正數 ($n=8$)：
(00010100) 轉換為一 16 位元之二進位正數 ($n=16$) 為例，只要將高位元組填滿零便可，亦即，將高位元的八個位元部份補上 0，成為 (00000000 00010100)，但若以二補數表示負數時，就要將延伸出的八個位元都填上 1，例如



五、發明說明 (4)

一 8位元之二進位負數(11101100)可利用將延伸的八個位元都補上1以得到(11111111 11101100)。

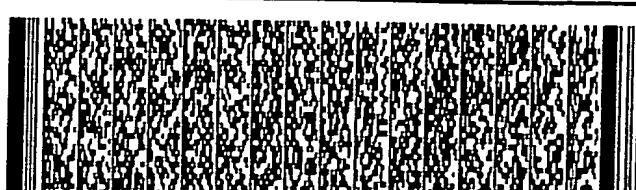
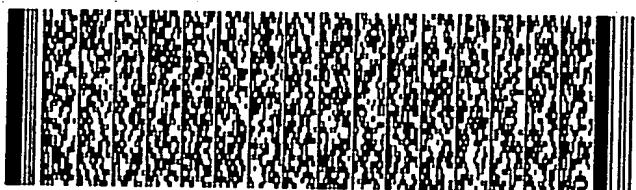
上述關於定點數式數位訊號處理器 10 之習知技術的基本概念及架構已在許多習知專利中有相關的描述。Kiuchi



五、發明說明 (5)

等人於 US Patent 5,884,092, "System for maintaining fixed-point data alignment within a combination CPU and DSP system" 中，於類似上述定點數式數位訊號處理器 10 之架構下，特別針對整數型式之數位資料提出一簡易校正法 (Correction Process)，利用一指令 (Instruction) 提示所處理之數位資料於位元時的相關資訊，可避免多餘累贅的位移操作 (Shift Operation) 並增加運作之速度。而關於定點數運算法之習知專利亦所在多有，如 Takano 等人於 US Patent 5,524,089, "Logarithm computing circuit for fixed point numbers" 中將浮點數表示法中尾數與指數之概念應用於定點數運算法中，並著眼於二進位與十進位之位數表示的轉換運作上，以期縮減相關電路之面積與複雜度。

遍的市需與之
在改目容 10 相關
器需要的器行
理極主體理進
處些的憶處下，
號一器記號下，
訊著理的訊況
位在處中位情差
數存在號用數的誤
式仍訊應式用化，
點時數這點合有圖一，
定同時式在定配會閱乘
數，位項數應量一，乘積
知，可使用點統一憶經頭參閱後，
技術並多用而之，就回頭參閱後，
述界。嵌般容數發經資料乘電路 16 相乘
上業題是一種點數
由為問場較此定
學習所現入為量運算生
為問題較此定
學習所現入為量運算生



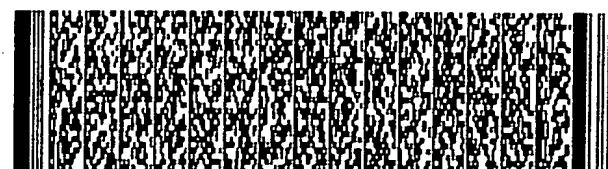
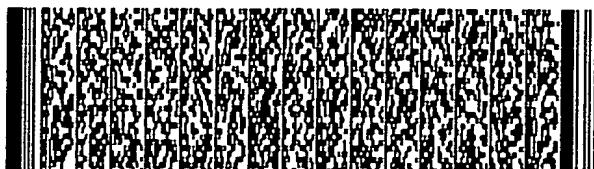
五、發明說明 (6)

料，再經一連串的處理後，若第二位移裝置 24 要將具有定點數表示法之 $2n$ 位元之數位資料轉換為 n 位元之數位資料，以儲存於 n 位元之記憶體中時，於此 $2n$ 位元之數位資料為小數型式之情形下，則必須取此 $2n$ 位元之數位資料中較高之 n 位元，而捨去較低 n 位元，而在此番捨棄位元數的過程中，容易使轉換後之 n 位元之數位資料與原先 $2n$ 位元之數位資料之間產生誤差。例如一 (二進位法表示法之) 48 位元在十六進位表示法下為：0x004444fffffff，若利用捨去較低之 24 位元以轉換為 24 位元之數位資料後，成為 0x004444，再經習知原數存差值誤其他效限用來數硬號是訊號成號知用訊的之消

成號知用訊的之消
信習利位本器
即位為欲數成理度並
還的造成應制點是訊號成號知用訊的之消
數運有可不能或之數會增加程式複雜
巨大會的用來數硬號是訊號成號知用訊的之消
算巨能良上改而式增
這變處器位誤修的方法，會效能。
量化誤差。上述小點加處幅式較多數
不連續、號理善，利用誤理之化用差方法，會效能。
數訊以降低量化誤理之化用差方法，會效能。
大定增號器期此外，量化誤理之化用差方法，會效能。
程耗多數訊以降低量化誤理之化用差方法，會效能。

發明內容

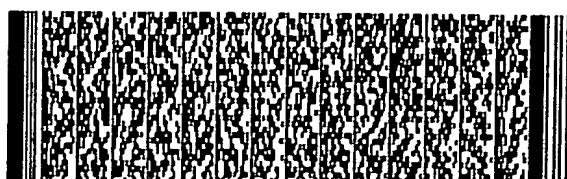
因此本發明的主要目的在於一種利用一跳躍式浮點數運算法之數位訊號處理器，並提供一種新型之跳躍式浮點



五、發明說明 (7)

數表示法以處理及運算複數筆數位資料，以解決上述問題。

本發明之目的為提供一種數位訊號處理器 (Digital Signal Processor)，用來處理複數筆數位資料，該複數筆數位資料分別具有複數個數值表示法，該複數個數值表示法至少包含有一定點數表示法 (Fixed Point Representation) 以及一跳躍式浮點數表示法 (Jumping Floating Point representation)，該數位訊號處理器包含有一乘法電路 (Multiplication Circuit)，用來將至少二低位元數位資料相乘產生一高位元數位資料；一萃取位移裝置 (Extracting/Shifting

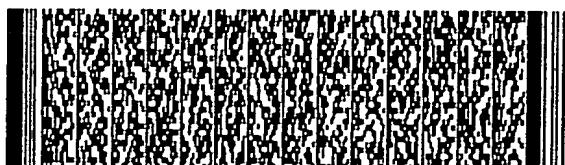


五、發明說明 (8)

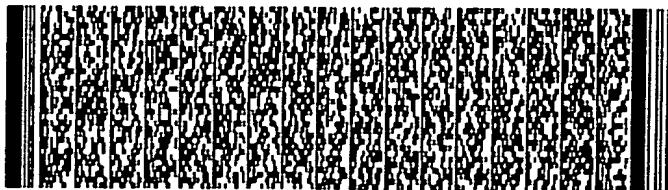
Device)，電連於該乘法電路，用來將具有該跳躍式浮點數表示法之一高位元數數位資料轉換為具有該定點數表示法之一高位元數數位資料；複數個表示法轉換電路(Representation Converter)，每一表示法轉換電路係利用一跳躍式浮點數運算法(Jumping Floating Point Arithmetic)，將一數位資料於該定點數表示法及該跳躍式浮點數表示法之間作轉換；以及一運算單元(Arithmetic Unit)，用來運算該複數筆數位資料。

本發明之另一目的為提供一種用於一數位訊號處理器中的方法，用來將具有一定點數表示法之一高位元數數位資料轉換為具有一跳躍式浮點數表示法之一低位元數數位資料。該方法包含有(a)依據該高位元數數位資料之絕對值大小，將具有該定點數表示法之該高位元數數位資料放大位移(Magnifying Shift) N 位元，其中 N 係為大於或等於零之整數，且 N 的值係隨著該高位元數數位資料之絕對值大小而變動；(b)於進行步驟(a)後，捨去該高位元數數位資料中一預定數目之位元數；以及(c)於進行步驟(b)後，設置一尾端識別碼(Tail Mark)，以產生具有該跳躍式浮點數表示法之該低位元數數位資料，其中該尾端識別碼係對應於 N 之值。

本發明之另一目的為提供一種用來處理複數筆數位資料的數位訊號處理器，該複數筆數位資料分別具有複數個



五、發明說明 (9)

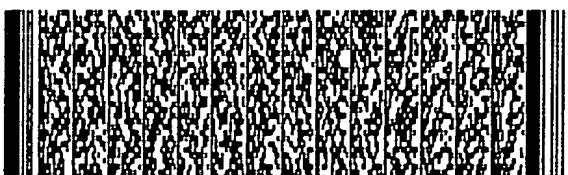


五、發明說明 (10)

數表示法之該低位元數數位資料寫入一記憶裝置 (Memory Device)。

實施方式

本發明之技術特徵係奠基於一跳躍式浮點數運算法 (Jumping Floating Point Arithmetic)，能將一數位資料於習知之定點數表示法於本發明之一跳躍式浮點數表示法 (Jumping Floating Point representation, JFP) 之間作轉換，降低數值轉換時可能發生之量化誤差。而具備本發明技術特徵之數位訊號處理器 (Digital Signal Processor, DSP)，則因此能同時處理及運算具有定點數表示法與跳躍式浮點數表示法之數位資料。請參閱圖二，圖二為本發明一數位訊號處理器 30 之一實施例的功能方塊圖。如前所述，本發明之數位訊號處理器 30 能處理具有定點數表示法與跳躍式浮點數表示法之數位資料，而在本實施例中，數位資料依據元數的多寡又可分為高位元數數位資料 (可對應至圖一中 $2n$ 位元之數位資料) 以及低位元數數位資料 (可對應至圖一中 n 位元之數位資料)，而在實際實施時，數位資料所具有之位元數並不限定，不僅只於上述高位元數數位資料及低位元數數位資料兩種。數位訊號處理器 30 包含有一乘法電路 (Multiplication Circuit) 36、一萃取位移裝置 (Extracting/Shifting Device) 38、表示法轉換電路



五、發明說明 (11)

(Representation Converter) 34、一運算單元



五、發明說明 (12)

示法之數位訊號與資料處理元件間的連接方式，同時展示了二種不同的表示方法：33、二進制表示法和35、浮點表示法。33方法中，資料由二進制數字直接表示；35方法中，資料由數字、小數點和符號組成。文中詳細闡述了兩種方法的運算過程，並指出在運算時可能遇到的問題，如溢出、誤碼等。

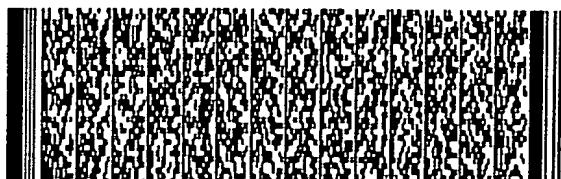
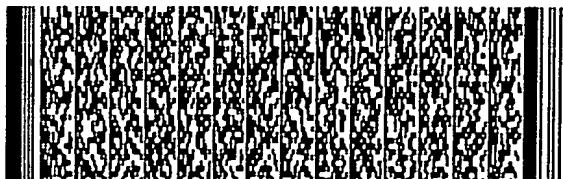
在為數位資料處理器設計時，必須考慮到浮點表示法的應用。文中指出，浮點表示法的優點是能夠方便地進行乘除運算，而不需要每次都進行規範化操作。同時，文中也指出了浮點表示法的一些缺點，如運算速度較慢、精度受舍入誤差影響等。因此，在實際應用中，應根據具體需求選擇合適的表示方法。

五、發明說明 (13)

為 -1.0 到 +1.0 之間的小數形式，並引用浮點數表示法之概念，使用一至數個位元來作為該數資料的指數 (Exponent)，而此指數在本發明中稱為尾端識別碼 (Tail Mark)。數位資料中其餘的位元則為尾數 (Mantissa)。跳躍式浮點數表示法之基本概念為：具有跳躍式浮點數表示法之數位資料中之尾數會隨著原數之值轉換，前數會隨原數之值轉換，當原數較大時，跳躍位元會佔用較多位元，當原數較小時，跳躍位元會佔用較少位元。圖三為具備尾數資料 DA 的一實例，其由標示位元 (Sign bit)、尾端識別碼所構成。標示位元為 1 時，數位資料 DA 為正值，當標示位元為 0 時，數位資料 DA 為負值，而在原數值較小而需判定數位資料 DA 中次於最高位元時，即是由此數位資料 DA 中次於最高位元的下一位元起 (位元資料之最高位元)，將與標示位元具有相同的位元值 (1 或 0) 之位元視為重複的位元。

請回頭對照圖二，具有圖三所示表示法之數位資料可對

五、發明說明 (14)



五、發明說明 (15)

數為 0、4、8、12。此種將每階位移模式所欲放大位移的位元數設為固定值的表示法，即為本實施例「定階數跳躍式浮點數表示法」之基本技術特徵。

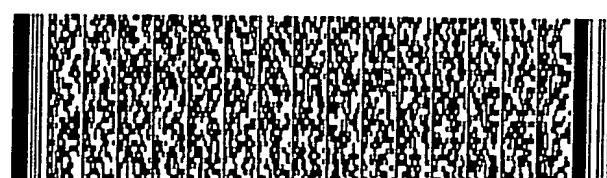
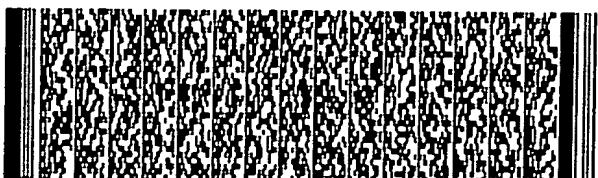
請繼續參閱圖四，並同時對照圖三可知，每一階位移模式下的數位資料都包含標示位元，此標示位元之值係與原先 48 位元之數位資料轉換為資料時，就是利用該標示位元與該 48 位元之數位資料中之其他位元加以比較，以選定一定之位移模式及與其對應之 N 值。為求畫面顯示清晰，我們以一個十六進位表示之數（在十六進位表示法下的一位元代表了二進位表示法下的四位元）：0x004444fffff 为例，十六進位表示法下前三位數 004 代表了二進位表示法下的 12 位數 00000000010，最左邊的為標示位元，標示位元後有九個 0，由於這九個 0 是與標示位元重複的位元，因此對照圖四後的結果，位移模式則可設為第二階位移模式 S2，代表了在轉換的過程中資料放大多了 8 個位元。接下來，為了將 48 位元之數位資料捨棄 24 位元，最後再加入對應於第二階位移模式 S2 之尾端識別碼。請注意，如圖四所示，尾端識別碼是設置於 24 位元之數位資料的最尾端（最低位元處），其所佔之位元數並不固定，且每一階位移模式分別對應至不同的尾端識別碼。本實施例將位

五、發明說明 (16)

移模式分為四階，因此最多利用 3 個位元（位元 0、位元 1、及位元 2）去作為尾端識別碼，當原（48 位元之數位資料之）數值很大時，跳躍式浮點數運算法不對原數值作任何放大位移的操作，只在其最後一個位元（位元 0）標上 1 作為標記，視為第零階位移模式 S0；而在第一階位移模式 S1 下，原數值較第零階位移模式 S0 下為小，因此需將原先之 48 位元之數位資料放大位移 4 位元（等同於乘以 24）後，取較高位元處之 22 個位元置於 24 位元之數位資料的位元 23 至位元 2 之處，再將位元 1 與位元 0 標記為 "10"，完成符合「定階數跳躍式浮點數表示法」之數位資料，同理可類推至上述第二階位移模式 S2 中，而第三階位移模式 S3 特別將尾端識別碼設為 "000"，其特殊之用意將於下段詳述。若回頭再以 48 位元之數位資料

0x004444ffffff為例，將其放大位移 8 個位元，並由較低位元處捨棄 24 位元，最後再加入尾端識別碼 (100) 後，即完成具有「定階數跳躍式浮點數表示法」之 24 位元之數位資料：0x4444fc。

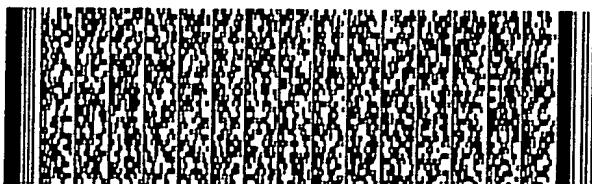
請注意，本發明中之尾端識別碼並不限形式，不限位元數，亦不限其設置之位置，於圖四中所示之尾端識別碼僅為本發明中之一較佳實施例。然而，本實施例之尾端識別碼的設計具有許多優點，首先，在由尾端識別碼判斷此數之位移模式為何階時，可由該數之最後一位元（位元 0）加以檢查，由位元值為 1 之位置即可輕易地解讀出此



五、發明說明 (17)

數之位移模式。例如，若發現位元 0、位元 1 之值皆為 0，而位元 2 之值為 1，則可知此數位資料係為第二階位移模式 S2，而其之原數在轉換的過程中被放大位移了 8 個位元；又倘若位元 0 至位元 2 之值皆為 0，則可知此數位資料係為第三階位移模式 S3，而其之原數在轉換的過程中被省略了重複的 12 個位元。再者，無論在轉換過程中被省略之位元（如本實施例中由較低位元處捨棄 24 位元）為何，由於二進位表示法下任何數的最小值（00000…0）與最大值（11111…1）的平均值即為（10000…0），因此，此種尾端識別碼的型式（只有最高位元值為 1，其餘為 0）可代表在轉換過程中被省略之位元數的平均值，可使省略後之值與原先之值的差異減至最低，如此一來，在將這些具有圖四表示法之數位資料施以部分運算時，無須將尾端識別碼特意剔除，而將尾端識別碼納入視為一整體數值。可推想而知，本實施例中將對應於第三階位移模式 S3 的尾端識別碼設為 "000" 的用意，即是避免原（48 位元之數位資料之）數值為 0 時，任何含有位元值 1 的尾端識別碼所可能造成在運算上的錯誤，勿使原本為 0 的數值在經轉換後產生不為 0 的數位資料。

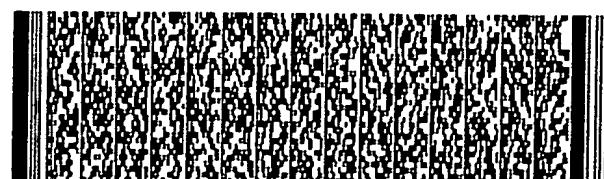
本發明跳躍式浮點數表示法另包含一「不定階數跳躍式浮點數表示法 (Non-Regular JFP)」，略不同於圖四所示之「定階數跳躍式浮點數表示法」，此種表示法並不固定每階位移模式所增加之放大位移的位元數，請參閱圖



五、發明說明 (18)

五。圖五為圖三跳躍式浮點數表示法之另一詳細實施例之示意圖。圖五所示之「不定階數跳躍式浮點數表示法」的基本概念仍與圖四實施例相同，仍是將此高位元數(如48位元)之數位資料依據其絕對值放大位移N位元，而當原數之絕對值愈大，N的值愈小，當原數之絕對值愈小時，N的值則愈大，以省略過多重複的位元，同時可保留更多有效的位元。請見圖五，本實施例之「定階數跳躍式浮點數表示法」亦包四階位移模式(N0-N3)，而第零階位移模式N0至第三階位移模式N3分別放大位移的位元數為0、3、7、12，不再是如前一實施例之(等差級數)設計0、4、8、12。除了每一階位移模式所定義之放大位元數並非固定增加4位元之外，本實施例之技術特徵大致上皆與圖四實施例相同，標示位元與尾端識別碼的功能亦可對應至圖四實施例中之描述。

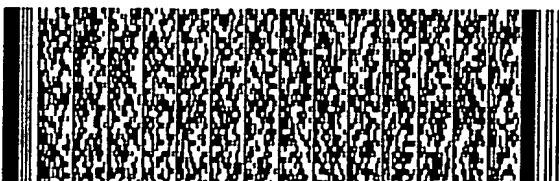
事實上，無論是圖四或圖五之實施例，位移模式之階數並不限定為四階，例如，在圖四實施例中可加入第四階位移模式、第五階位移模式、…等等。承襲「定階數跳躍式浮點數表示法」之基本概念，可假設每一階位移模式固定為正整數P的倍數，而一共設置L階，L係為一大於或等於0之整數，如此一來，第零階位移模式係放大位移0位元，第一階位移模式放大位移P位元，而直到第L階位移模式則可放大位移 $(L-1)*P$ 位元，只要 $(L-1)*P$ 之值小於原數的總位元數即可。當然，若位移模式的階數增



五、發明說明 (19)

加，意味著尾端識別碼所佔的位元數也必須隨之增加，才能充分取代原數資料中多量的重複位元。此外，無論是從圖四或圖五之實施例，皆可看出在保時原數值較大時，佔有有效的情況下，轉換的後位元佔有事實上大量的位元。如此一來，發明之跳躍式浮點數運算法在將一(具有定點數表示法)高位元數位資料(如上述48位元之數位資料)轉換為一(具有跳躍式浮點數表示法)低位元數位資料(如24位元之數位資料)時，能保有轉換前之高位元數位資料中更多的有效位元。亦即，在轉換前後之表示法相比，跳躍式浮點數處理器的運算獲得更高的精度，也無需浮點數表示法過高的複雜度。

綜上所述，本發明之跳躍式浮點數運算法係應用於如圖二之一數位訊號處理器中，用來將一具有定點數表示法之高位元數位資料轉換為一具有跳躍式浮點數表示法(包含「定階數跳躍式浮點數表示法」及「不定階數跳躍式浮點數表示法」)之低位元數位資料，歸納後的方法實施例可參閱圖六，圖六為本發明一方法實施例之流程



五、發明說明 (20)

圖，包含有下列步驟：

步驟 100：開始；

步驟 102：設定複數階位移模式，每一階位移模式分別對應至不同的 N值 (N為大於或等於零之整數)；

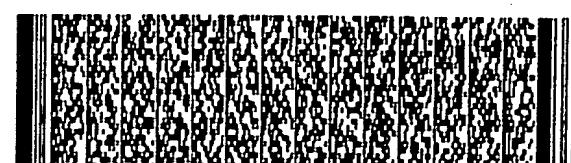
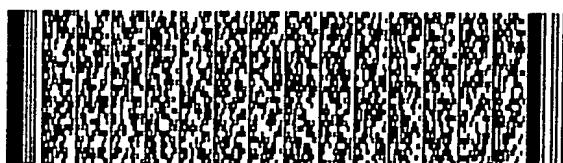
步驟 104：依據此高位元數數位資料之絕對值大小，選定一位移模式，並將具有定點數表示法之高位元數數位資料放大位移 (對應於該階位移模式之)N位元，選擇位移模式及 N值的基本精神為：當原先高位元數數位資料之絕對值愈大時，N的值愈小，當高位元數數位資料之絕對值愈小時，N的值則愈大，同時，N值及位移模式的選定係由比較一標示位元與此高位元數數位資料中的其他位元而得；

步驟 106：捨去此高位元數數位資料中一預定數目之位元數，使得此高位元數數位資料在捨棄此預定數目之位元數後，其所具有之位元數與低位元數數位資料之位元數相同；

步驟 108：設置一 (對應於所選定之位移模式及 N值的)尾端識別碼，以產生具有跳躍式浮點數表示法之低位元數數位資料；

步驟 110：完成跳躍式浮點數運算法之轉換。

基於上述圖四之實施例，並以圖六中所述之操作流程為依據，圖七顯示了本發明將一具有定點數表示法之 48 位元之數位資料轉換為一具有跳躍式浮點數表示法之 24



五、發明說明 (21)

位元之數位資料的一詳細方法實施例。請參閱圖七，圖七為圖六之一詳細方法實施例的流程圖，包含下列步驟：

步驟 200：剛開始提供一具有定點數表示法之 48 位元之數位資料；

步驟 202：判斷該 48 位元之數位資料的絕對值是否小於 $2^{-(4*1)}$ ，若是，則進行步驟 204，若否，則進行至步驟 208，選定 m 值為 0，將位移模式設定為第零階位移模式 N0；

步驟 204：繼續判斷該 48 位元之數位資料的絕對值是否小於 $2^{-(4*2)}$ ，若是，則進行步驟 206，若否，則進行至步驟 208，選定 m 值為 1，將位移模式設定為第一階位移模式 N1；

步驟 206：繼續判斷該 48 位元之數位資料的絕對值是否小於 $2^{-(4*3)}$ ，若是，則進行步驟 208，選定 m 值為 3，設定為第三階位移模式 N3，若否，則亦進行至步驟 208，但選定 m 值為 2，設定為第二階位移模式 N2；

步驟 208：依據此 48 位元之數位資料之絕對值大小，配合步驟 202 至步驟 206 之運作，選定 m 值，並於 m 值選定之後，進行步驟 210；

步驟 210：將該具有定點數表示法之 48 位元之數位資料放大 $2^{(4*m)}$ 倍，也就是將此 48 位元之數位資料放大位移 ($4*m$) 位元；

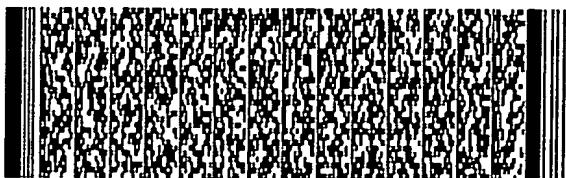
步驟 212：捨去此 48 位元之數位資料中最後之 24 位元，成為一 24 位元之數位資料；



五、發明說明 (22)

步驟 214：加上一對應 m 值的尾端識別碼，當 m 值為 0，位元 0 之值為 1；當 m 值為 1，位元 0 之值為 0，而位元 1 之值為 1；當 m 值為 2，位元 0 及位元 1 之值為 0，位元 2 之值設為 1；當 m 值為 3，位元 0、位元 1、及位元 2 之值皆設為 0；

步驟 216：產生一具有跳躍式浮點數表示法之 24位元之數位資料，完成跳躍式浮點數運算法之轉換。

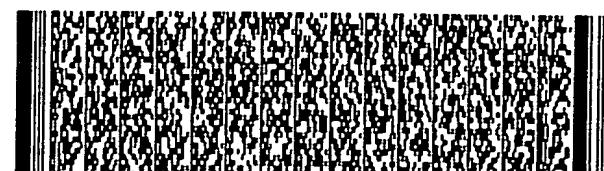
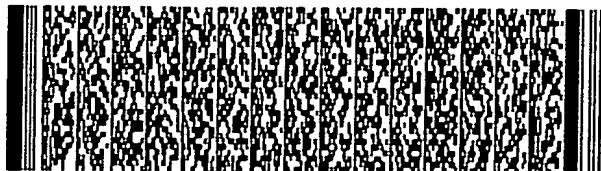


五、發明說明 (23)

資料：0x4444fc (十六進位表示法)為例，若欲將此24位元之數位資料還原轉換為(具有定點數表示法之)48位元之數位資料，由於此24位元之數位資料於十六進位表示法下的最後一位元值c係對應於二進位表示法下的4的位元值(1100)，也就是對應於圖四中之位元0、位元1之值皆為0，而位元2之值為1，等同於尾端識別碼為(100)，在回頭參照圖四實施例後，則可判定此數位資料係屬於第二階位移模式S2，亦代表當初轉換時放大位移了8位元。於是，將此數縮小位移8位元(等同於除以28)，並將總位元數依據標示位元(其值為0)增補至48位元，即可產生(具有定點數表示法之)48位元之數位資料0x004444fc0000。

與0x4444fc之原數0x004444fffffff相比可知，經過本發明跳躍式浮點數運算法轉換後再還原的數值0x004444fc0000仍與原數值有所差異，但若單純使用習知定點數運算法，將48位元之數位資料捨棄後24位元之資料(成為0x004444)再還原而得之值(0x004444000000)相比，則可看出本發明跳躍式浮點數運算法能有效的減少數值轉換過程中的量化誤差，使其於硬體上實施時，可以在不增添太多額外軟硬體資源的情況下，能以較小的空間儲存及處理數位資料並提高精確度。

圖八描述了上述本發明將一具有跳躍式浮點數表示法之



五、發明說明 (24)

24位元之數位資料轉換為一具有定點數表示法之48位元之數位資料的一詳細方法實施例。請參閱圖八，圖八為本發明另一方法實施例的流程圖，包含下列步驟：

步驟300：剛開始提供一具有跳躍式浮點數表示法之24位元之數位資料，接下來同時進行步驟302及步驟310；

步驟302：判斷位元0之值，若位元0之值為0，則進行步驟304；若位元0之值為1，則進行至步驟308，將一 m 值設為0，亦即將位移模式判斷為第零階位移模式N0；

步驟304：繼續判斷位元1之值，若位元1之值為0，則進行步驟306；若位元1之值為1，則進行至步驟308，將 m 值設為1，亦即將位移模式判斷為第一階位移模式N1；

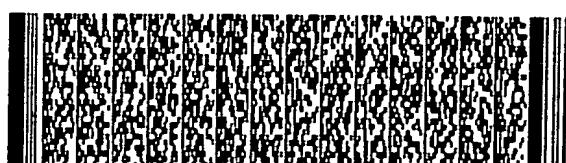
步驟306：繼續判斷位元2之值，若位元2之值為0，則進行步驟308，將 m 值設為3，亦即將位移模式判定為第三階位移模式N3；若位元2之值為1，亦進行至步驟308，將一 m 值設為2，將位移模式判斷為第二階位移模式N2；

步驟308：依據此24位元之數位資料中之尾端識別碼，配合步驟302至步驟306之檢查步驟，得到 m 值，並於 m 值選定之後，進行步驟312；

步驟310：於此24位元之數位資料之後增補24位元的0值，成為一48位元之數位資料；

步驟312：將步驟310中所得之48位元之數位資料，依據經步驟308後所得之 m 值，縮小 $2^{(4*m)}$ 倍，也就是將此48位元之數位資料縮小位移($4*m$)位元；

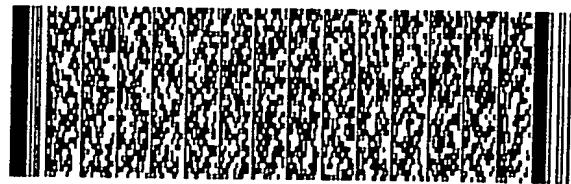
步驟314：產生一具有定點數表示法之48位元之數位資



五、發明說明 (25)

料，成功將具有跳躍式浮點數表示法之 24位元數位資料還原回具有定點數表示法之 48位元數位資料。

的處號浮點訊式在須位情性點數在表示形式極增訊況，數位施之數跳躍除表示器30能無數的致浮點處理，點程式碼一式碼。因此式碼的一式碼。



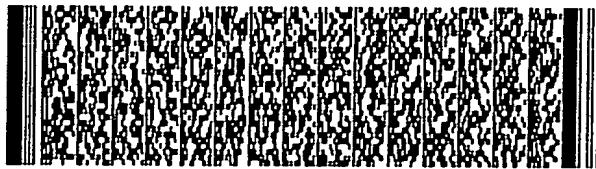
五、發明說明 (26)

訊號處理器 30 部分原件之一實施例的功能方塊圖，包含輸入萃取裝置 37、位移裝置 39、與乘法電路 36。倘若輸入乘法電路 36 中的二低位元數 (n 位元) 數位資料皆具有跳躍式浮點數表示法，在相乘的過程中，如圖三所示之位元資料、與尾端識別碼可分開視之，因此，乘法電路 36 可將乘二低位元數 (n 位元) 數位資料各自的位元資料直接相乘。此時二低位元數數位資料亦送進萃取裝置 37 中，萃取出該二低位元數數 (n 位元) 位資料中各自的尾端識別碼，判斷出相關之資訊（如個別之位移模式及 N 值），接著將相關資訊傳送入位移裝置 39，依據判斷出的位移模式及 N 值，將經由乘法電路 36 處理後之資料作出對應之小數點位移，以得出正確的（具有定點數表示法之）一高位元數 ($2n$ 位元) 數位資料。



五、發明說明 (27)

56電連於資料接收端 52，用來接收二筆具有跳躍式浮點數表示法之 n 位元之數位資料，乘法電路 56 亦會將此二 n 位元之數位資料相乘，產生具有跳躍式浮點數表示法之 $2n$ 位元之數位資料，再經由萃取裝置 57 及位移裝置 59 (萃取裝置 57 與位移裝置 59 可合併視為一萃取位移裝置 58) 處理後，得出具有定點數表示法之 $2n$ 位元之第五數位資料。在此同時，電連於資料接收端 52 的第三表示法轉換電路 53 亦接收一具有跳躍式浮點數表示法之 n 位元之數位資料，依據該 n 位元之數位資料之尾端識別碼及標示位元，用來將此 n 位元之數位資料轉換為具有定點數表示法之一 $2n$ 位元之第六數位資料。選擇運算模組 60 包含一選擇裝置 69 及一運算單元 61，選擇裝置 69 電連於第三表示法轉換電路 53 以及位移裝置 59，用來由 $2n$ 位元之第五、及第六數位資料中選擇其一輸出，因此選擇裝置 69 可使用一多工器 (Multiplexer) 完成。運算單元 61 電連於選擇裝置 69，用來接收選擇出的 ($2n$ 位元之) 第五數位資料或第六數位資料，而運算單元 61 包含另一輸入端，用來接收由儲存裝置 62 傳送之 $2n$ 位元之第七數位資料，如此一來，運算單元 61 可對此些具有定點數表示法之 ($2n$ 位元之) 數位資料 (第七、第一、或第二強調了運算單元 61 所處理的功能。請注意，本實施例在於：具有跳躍式浮點數表示法之定數位資料在轉換時已經一放大位移的過程，因此其小數點的位置已有所變動，使得加、減法

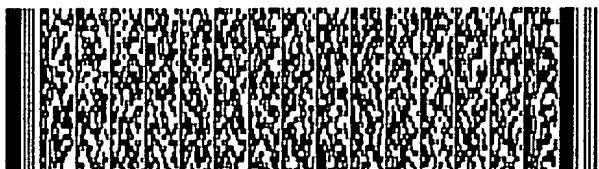


五、發明說明 (28)

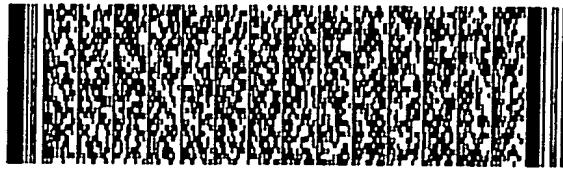
運算下的複雜度過高，因此本實施例中將所有數位資料單元跳算具有分別在相乘後即將乘入處理可。前述分開直接相乘，最後置即將乘之乘，再利用尾端識別碼補償 (Compensate) 調整小數點的位置即可。

接下來，運算單元 61 輸出處理後的一 $2n$ 位元之第八數位資料至儲存裝置 62，儲存裝置 62 的功能係即用來儲存經選擇運算模組 60 處理後之複數筆數位資料，而在實際實施時，儲存裝置 62 可以一累積器 (Accumulator) 完成。第四表示法轉換電路 55 將具有定點數表示法之 $2n$ 位元之數位資料轉換為具有跳躍式浮點數表示法之一 n 位元之數位資料，並由資料寫入端 66 將此具有跳躍式浮點數表示法之 n 位元之數位資料寫入前述之記憶裝置中。

為將圖一實施例之功能納入本發明之實施例中，使本發明之數位訊號處理器能同時處理具有定點數表示法 (包含整數表示法 (Integer Representation))、及跳躍式浮點數表示法之資料，於接下來的實施例中加入一啟動控制訊號 (Enabling Control Signal)，以切換圖十中部份與本發明技術特徵相關之元件的功能。請參閱圖十一，圖

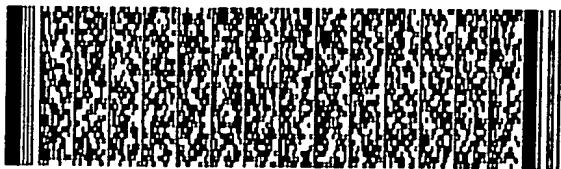


五、發明說明 (29)



五、發明說明 (30)

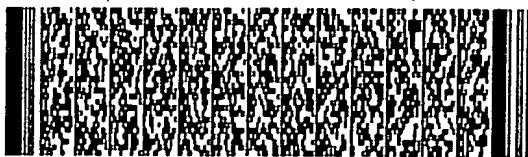
式誤料有之置型位躍的資多器設的數跳生位更理並數數及產數留處，元元法時數保號念位位算換元，訊概低低運轉位換位之較將數元低轉數法以後點位一成在示料之浮值為完而表資在式數換式。數位而躍善轉方度點數，跳改料的準浮將中型本位位牲躍，憶新的上資元精式可體露法位較值本體存之可元少，發設至新根數複犧跳後記一在數重不明備一揭示高用數入硬儲明數使可位中應理發點，，的構對處本浮差時效架相態



五、發明說明 (31)

資料讀取回原之高位元數位資料時，又可較精準並有效率地完成還原的效果，如此一來便可不耗費過多額外資源的情況下，顯著地降低量化誤差。

上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知一定點數式數位訊號處理器之一之實施例之功能方塊圖。

圖二為本發明一數位訊號處理器之一實施例的功能方塊圖。

圖三為具有本發明之數位資料表示法之一數位資料的示意圖。

圖四為圖三跳躍式浮點數表示法一詳細實施例之示意圖。

圖五為圖三跳躍式浮點數表示法之另一詳細實施例之示意圖。

圖六為本發明一方法實施例之流程圖。

圖七為圖六另一方法實施例之流程圖。

圖八為圖六發二數位訊號處理器中部分原件之一實施例的功能圖。

圖九為圖二數位訊號處理器之一詳細實施例之功能方塊圖。

圖十為圖二數位訊號處理器之另一詳細實施例之功能方塊圖。

圖式之符號說明



圖式簡單說明

10、30、50、70 數位訊號處理器

12、52、72 資料接收端

14 第一位移裝置

18 乘法位移裝置

20、60、80 選擇運算模組

22、62、82 儲存裝置

26、66、86 資料寫入端

34 表示法轉換電路

37、57、77 草取裝置

39、59、79 位移裝置

55 第四表示法轉換電路

75 第六表示法轉換電路

16、36、56、76 乘法電路

19、69、89 選擇裝置

21、31、61、81 運算單元

24 第二位移裝置

33 第一表示法轉換電路

35 第二表示法轉換電路

38、58、78 草法移位裝置

53 第三表示法轉換電路

73 第五表示法轉換電路



六、申請專利範圍

1. 一種數位訊號處理器 (Digital Signal Processor)，用來處理至少一筆數位資料，該至少一筆數位資料分別具有複數個數值表示法，該複數個數值表示法至少包含有一定點數表示法 (Fixed Point Representation) 以及一跳躍式浮點數表示法 (Jumping Floating Point representation)，該數位訊號處理器包含有：

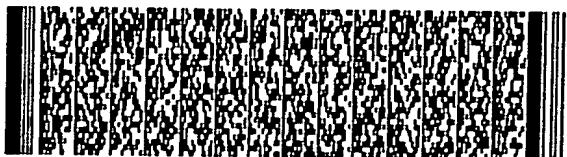
一乘法電路 (Multiplication Circuit)，用來將至少二低位元數數位資料相乘產生一高位元數數位資料；

一萃取位移裝置 (Extracting/Shifting Device)，電連於該乘法電路，用來將具有該跳躍式浮點數表示法之一高位元數數位資料轉換為具有該定點數表示法之一高位元數數位資料；

複數個表示法轉換電路 (Representation Converter)，每一表示法轉換電路係利用一跳躍式浮點數運算法 (Jumping Floating Point Arithmetic)，將該至少一筆數位資料中任一數位資料於該定點數表示法及該跳躍式浮點數表示法之間作轉換；以及

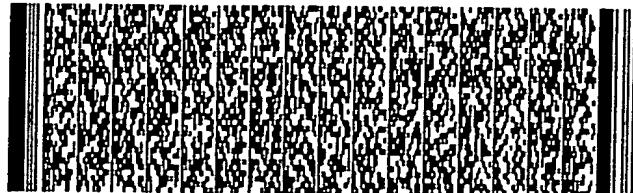
一運算單元 (Arithmetic Unit)，用來運算該至少一筆數位資料。

2. 如申請專利範圍第 1 項之數位訊號處理器，其另包含一儲存裝置 (Storage Instrument)，電連於該運算單元，用來儲存該至少一筆數位資料。



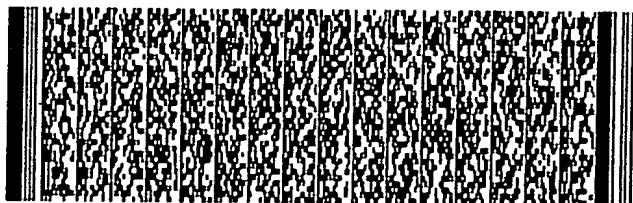
六、申請專利範圍

3. 如申請專利範圍第1項之數位訊號處理器，其中該跳躍式浮點數運算法係用來將具有該跳躍式浮點數表示法之該高位元數位資料轉換為該低位元數位資料，或者將具有該跳躍式浮點數表示法之該高位元數位資料轉換為該低位元數位資料。
4. 如申請專利範圍第3項之數位訊號處理器，其中該跳躍式浮點數運算法係依據該高位元數位資料之絕對值大小，將具有該定點數表示法之該高位元數位資料放大位移(Magnifying Shift)N位元，並捨棄預定數目之位元數，再設置一尾端識別碼(Tail Mark)，以產生具有該跳躍式浮點數表示法之該低位元數位資料，其中N係為大於或等於零之整數。
5. 如申請專利範圍第4項之數位訊號處理器，其中N的值係隨著該高位元數位資料之絕對值大小而變動，當該高位元數位資料之絕對值愈大，N的值係愈小；當該高位元數位資料之絕對值愈小，N的值係愈大。
6. 如申請專利範圍第4項之數位訊號處理器，其中該跳躍式浮點數運算法係包含有複數個位移模式，每一位移模式係分別對應至不同的N值。



六、申請專利範圍

7. 如申請專利範圍第6項之數位訊號處理器，其中每一位資料係包含一標示位元(Sign bit)，位移模式的選定及對應之N值係由比較該標示位元與該高位元數數位資料中之其他位元而得。
8. 如申請專利範圍第7項之數位訊號處理器，其中該跳躍式浮點數運算法係依據該尾端識別碼以及該標示位元，將具有該跳躍式浮點數表示法之該低位數數位資料轉換為具有該定位點數表示法之該高位數數位資料。
9. 如申請專利範圍第4項之數位訊號處理器，其中於該萃取位移裝置中，當輸入該乘法電路之法時，該二位元取位元表示該低數點數表示該跳躍式浮點數表示法之該高位數數位資料。
10. 如申請專利範圍第1項之數位訊號處理器，其中該萃取位移裝置以及該複數個表示法轉換電路係連接於至少一啟動控制訊號(Enabling Control Signal)，用來分別判斷是否啟動該萃取位移裝置以及該複數個表示法轉換電路。



六、申請專利範圍

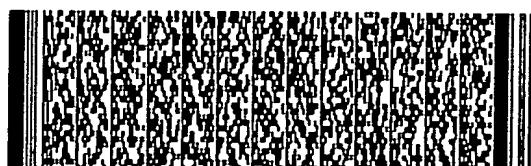
11. 如申請專利範圍第1項之數位訊號處理器，其中該運算單元係用來運算具有該定點數表示法之該至少一筆數位資料。

12. 如申請專利範圍第1項之數位訊號處理器，其另包含有：

一資料接收端，用來接收至少一筆數位資料；以及
一資料寫入端，用來將具有該跳躍式浮點數表示法之至少一低位元數數位資料寫入一記憶裝置 (Memory Device)。

13. 一種用於一數位訊號處理器 (Digital Signal Processor)中的方法，用來將具有一定點數表示法 (Fixed Point Representation)之一高位元數數位資料轉換為具有一跳躍式浮點數表示法 (Jumping Floating Point Representation)之一低位元數數位資料，該方法包含有：

- (a)依據該高位元數數位資料之絕對值大小，將具有該定點數表示法之該高位元數數位資料放大位移 (Magnifying Shift) N位元，其中 N係為大於或等於零之整數，且 N的值係隨著該高位元數數位資料之絕對值大小而變動；
- (b)於進行步驟 (a)後，捨去該高位元數數位資料中一預定數目之位元數；以及
- (c)於進行步驟 (b)後，設置一尾端識別碼 (Tail Mark)，



六、申請專利範圍

以產生具有該跳躍式浮點數表示法之該低位元數數位資料，其中該尾端識別碼係對應於 N之值。

14. 如申請專利範圍第 13項之方法，其中當該高位元數數位資料之絕對值愈大，N的值係愈小；當該高位元數數位資料之絕對值愈小，N的值係愈大。

15. 如申請專利範圍第 13項之方法，其另包含：

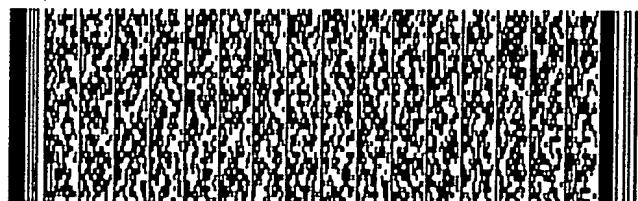
(d)於步驟 (a)中，設置複數個位移模式，每一位移模式係分別對應至不同的 N值；

(e)於進行步驟 (d)後，依據該高位元數數位資料之絕對值大小，選定一位移模式及對應之 N值，將具有該定點數表示法之該高位元數數位資料放大位移該對應之 N位元；以及

(f)於步驟 (c)中且於進行步驟 (e)後，設置一對應於該位移模式之尾端識別碼。

16. 如申請專利範圍第 15項之方法，其中該高位元數數位資料係包含一標示位元 (Sign bit)，N的值及該位移模式的選定係由比較該標示位元與該高位元數數位資料中之其他位元而得。

17. 如申請專利範圍第 16項之方法，其中該低位元數數位資料係包含該標示位元，且具有該跳躍式浮點數表示



六、申請專利範圍

法之該低位元數數位資料係可依據該尾端識別碼以及該標示位元，還原成為具有該定點數表示法之該高位元數數位資料。

18. 如申請專利範圍第13項之方法，其另包含：(g)於進行步驟(c)後，將具有該跳躍式浮點數表示法之該低位元數數位資料寫入一記憶裝置(Memory Device)中。

19. 一種用於一數位訊號處理器(Digital Signal Processor)中的方法，用來將具有一跳躍式浮點數表示法(Jumping Floating Point Representation)之一低位元數數位資料轉換為具有一定點數表示法(Fixed Point Representation)之一高位元數數位資料，其中具有該跳躍式浮點數表示法之該低位元數數位資料包含一尾端識別碼(Tail Mark)，該方法包含有：

依據該尾端識別碼，將該低位元數數位資料縮小位移(Minifying Shift) N 位元，其中 N 係為大於或等於零之整數；以及

增補一預定數目之位元數於該低位元數數位資料中。

20. 如申請專利範圍第19項之方法，其中該高位元數數位資料係包含一標示位元(Sign bit)，該方法另包含：
依據該標示位元，決定該 N 位元中每一位元之值；以及
依據該標示位元，決定所增補之該預定數目之位元數中



六、申請專利範圍

每一位元之值。

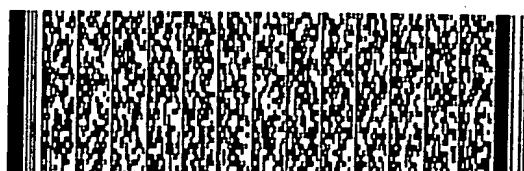
21. 如申請專利範圍第 19 項之方法，其中該尾端識別碼包含有複數個位移模式，每一位移模式係分別對應至不同的 N 值，該方法另包含：依據該尾端識別碼，選定一位移模式及對應之 N 值。

22. 一種用來處理至少一筆數位資料的數位訊號處理器 (Digital Signal Processor)，該至少一筆數位資料分別具有複數個數值表示法，該複數個數值表示法至少包含有一定點數表示法 (Fixed Point Representation) 以及一跳躍式浮點數表示法 (Jumping Floating Point representation)，該數位訊號處理器包含有：

一資料接收端，用來接收至少一筆低位元數數位資料；

一乘法電路 (Multiplication Circuit)，電連於該資料接收端，用來將具有該定點數表示法之二低位元數數位資料相乘，產生一具有該定點數表示法之一高位元數數位資料，或者將具有該跳躍式浮點數表示法之二低位元數數位資料相乘，產生一具有該跳躍式浮點數表示法之一高位元數數位資料；

一萃取位移裝置 (Extracting/Shifting Device)，電連於該乘法電路，用來將具有該跳躍式浮點數表示法之該高位元數數位資料轉換為具有該定點數表示法之一高位



六、申請專利範圍

元數數位資料；

一第一表示法轉換電路 (Representation Converter)，電連於該資料接收端，用來將具有該跳躍式浮點數表示法之一低位元數數位資料轉換為具有該定點數表示法之一高位元數數位資料，或者將具有該定點數表示法之一低位元數數位資料轉換為具有該定點數表示法之一高位元數數位資料；

一選擇運算模組 (Multiplexing Arithmetic Module)，電連於該第一表示法轉換電路以及萃取位移裝置，用來執行選擇及運算之功能；

一儲存裝置 (Storage Instrument)，電連於該選擇運算模組，用來儲存經該選擇運算模組處理後之至少一筆數位資料；

一第二表示法轉換電路，電連於該儲存裝置，用來將具有該定點數表示法之一高位元數數位資料轉換為具有該跳躍式浮點數表示法之一低位元數數位資料；以及

一資料寫入端，用來將具有該跳躍式浮點數表示法之該低位元數數位資料寫入一記憶裝置 (Memory Device)。

23. 如申請專利範圍第 22 項之數位訊號處理器，其中每一數位資料係包含一標示位元 (Sign bit)。

24. 如申請專利範圍第 23 項之數位訊號處理器，其中每



六、申請專利範圍

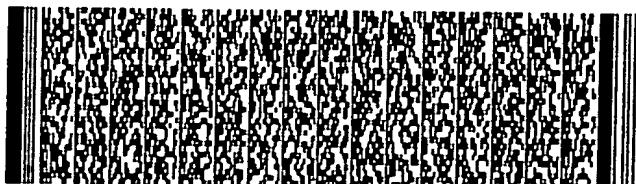
一 具有該跳躍式浮點數表示法之低位元數數位資料係另包含一尾端識別碼 (Tail Mark)。

25. 如申請專利範圍第 24 項之數位訊號處理器，其中該表示元資料轉換為該浮點數位資料，其表示元資料轉換為該浮點數位資料。

26. 如申請專利範圍第 24 項之數位訊號處理器，其浮點數位具有該跳躍式浮點數位資料轉換為該浮點數位資料。

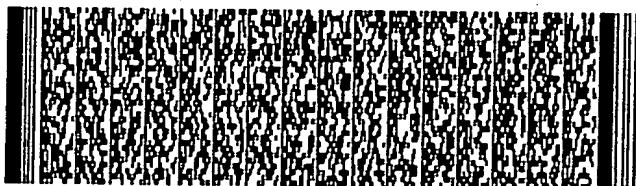
27. 如申請專利範圍第 22 項之數位訊號處理器，其中該對表示法轉換為該高位元數數位資料，其絕對值大小，將具有該定點數表示法之該高位元數數位資料放大位移 (Magnifying Shift)N 位元，並捨棄預定數目之位元數，再設置一尾端識別碼 (Tail Mark)，以產生具有該跳躍式浮點數表示法之該低位元數數位資料，其中 N 為大於或等於零之整數。

28. 如申請專利範圍第 27 項之數位訊號處理器，其中 N 的



六、申請專利範圍

值隨著該高位元數數位資料之絕對值大小而變動，當該高位元數數位資料之絕對值愈大， N 的值係愈小；當該高位元數數位資料之絕對值愈小， N 的值係愈大。

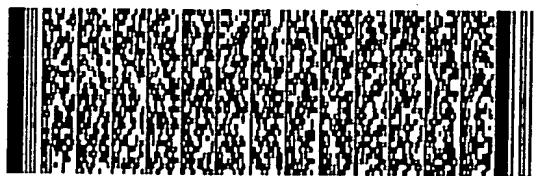


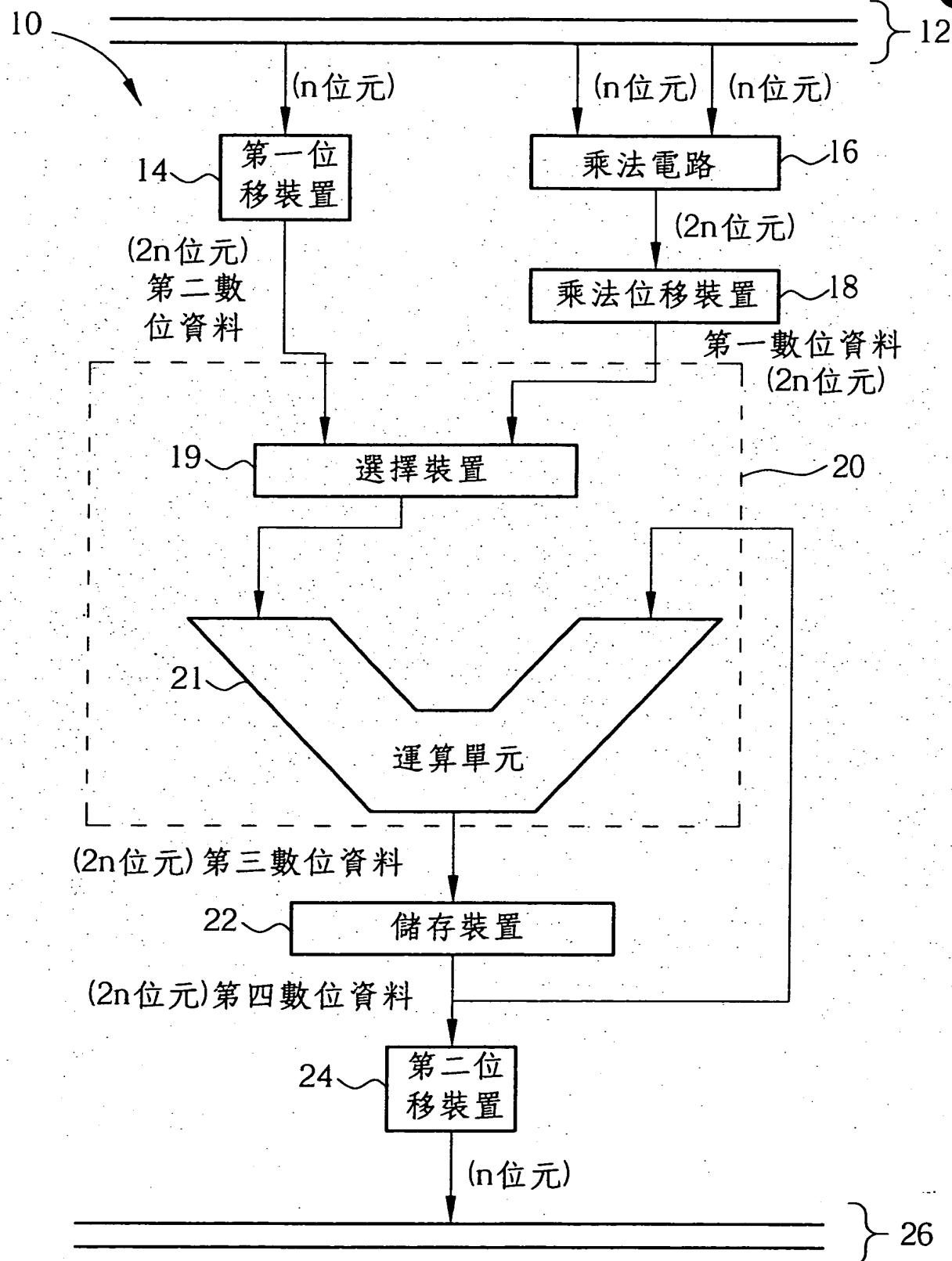
六、申請專利範圍

數位資料；當該啟動控制訊號不啟動該第二表示法轉換電路時，該第二表示法轉換電路係將具有該定點數表示法之該高位元數位資料轉換為該定點數表示法之該低位元數位資料。

32. 如申請專利範圍第22項之數位訊號處理器，其中該選擇運算模組係用來選擇及運算至少一筆具有該定點數表示法之高位元數位資料。

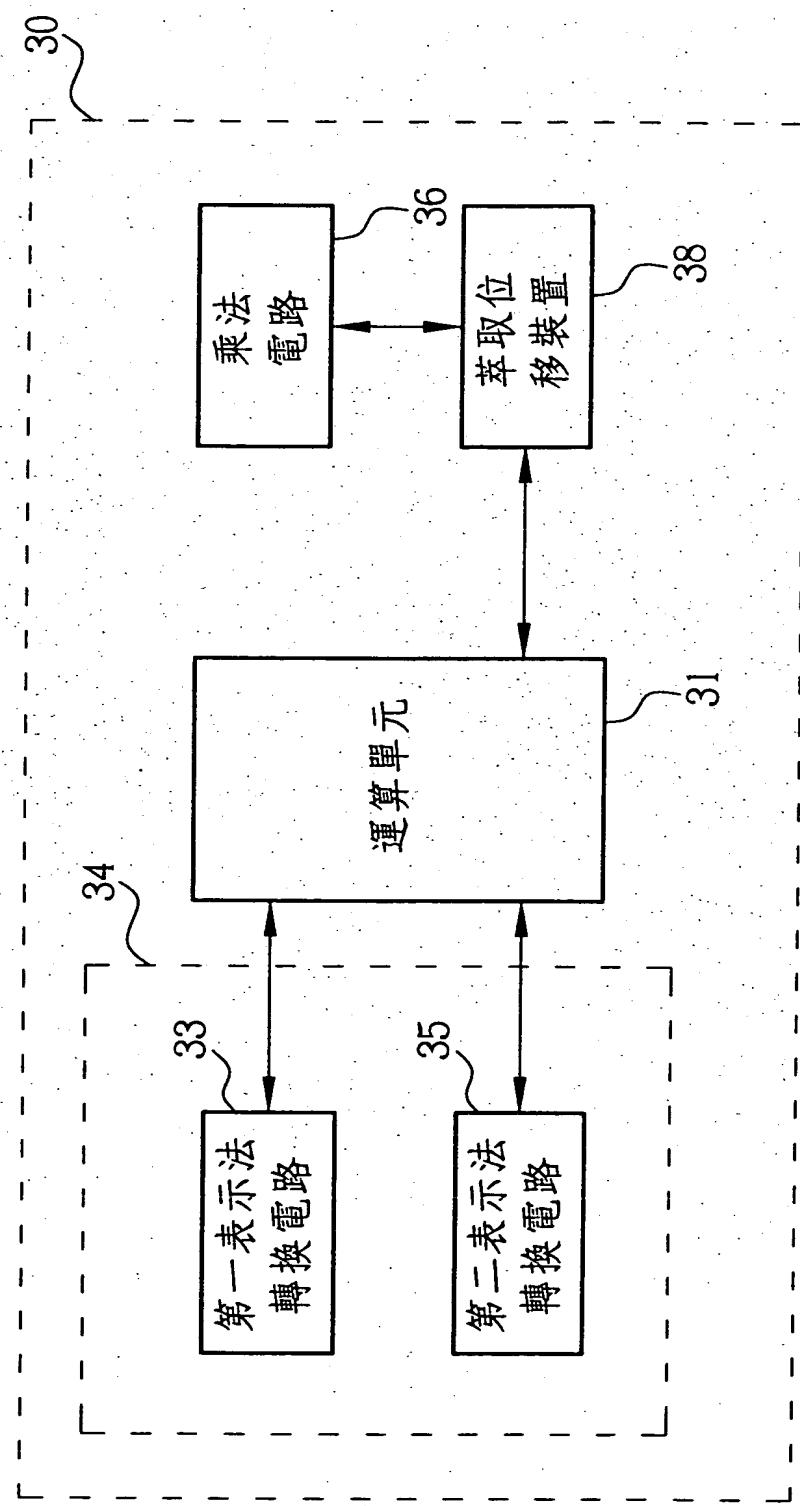
33. 如申請專利範圍第22項之數位訊號處理器，其中該複數個數值表示法另包含有一整數表示法 (Integer Representation)。



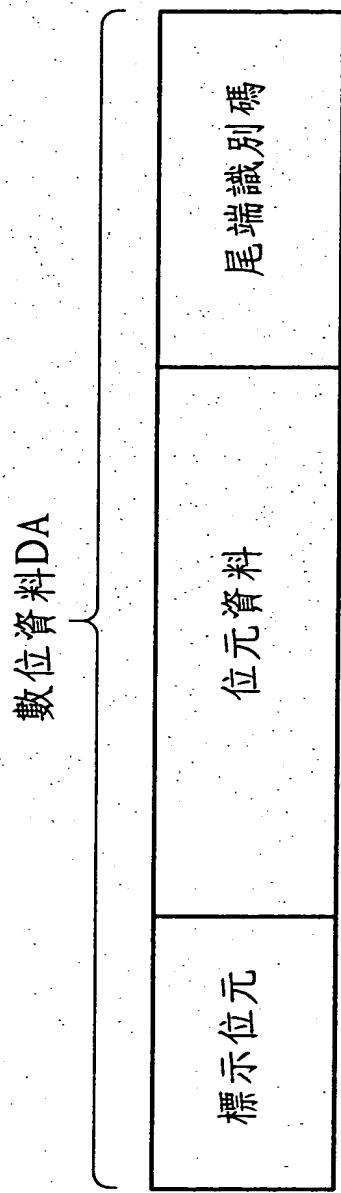


圖一

圖二



圖三



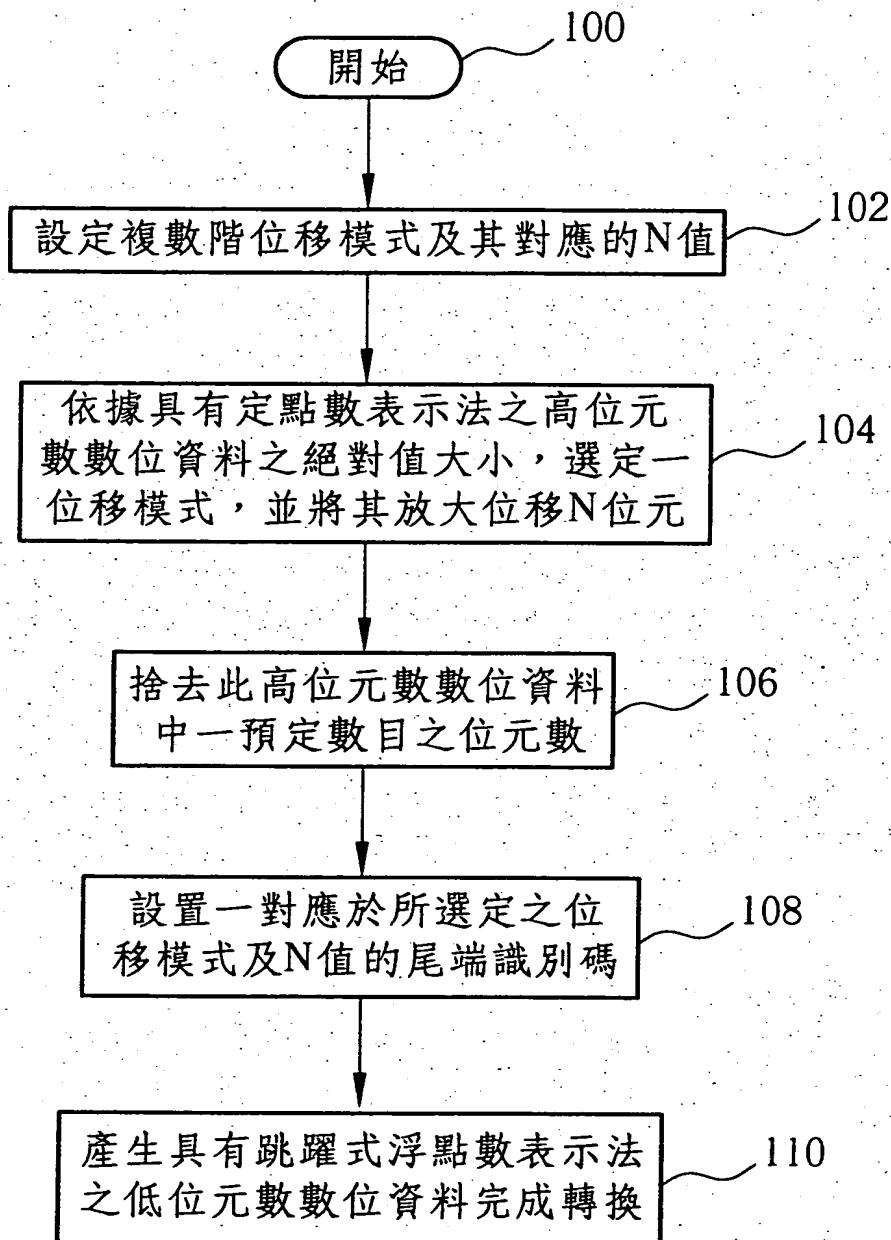
圖四

| 位移模式 | 位元23 | 位元23...位元3 | 位元2 | 位元1 | 位元0 | 說 明 |
|-------|------|------------|----------|----------|-----|-----------------|
| 第零階S0 | 標示位元 | 位元資料 | 資料 位元 | 資料 位元 | 1 | (註1) 無放大位移 |
| 第一階S1 | 標示位元 | 位元資料 | 資料 位元 | 1 | 0 | (註2) 放大位移4位元 |
| 第二階S2 | 標示位元 | 位元資料 | 資料 位元 | 1 | 0 | 放大位移8位元 (註3) |
| 第三階S3 | 標示位元 | 位元資料 | 資料 位元 | 0 | 0 | 放大位移12位元 (註4) |

註1：所有資料若為具有跳躍式源點數表示法之24位元數位資料，其值為將原值放大 2^0 倍後的結果
 註2：所有資料若為具有跳躍式源點數表示法之24位元數位資料，其值為將原值放大 2^4 倍後的結果
 註3：所有資料若為具有跳躍式源點數表示法之24位元數位資料，其值為將原值放大 2^8 倍後的結果
 註4：所有資料若為具有跳躍式源點數表示法之24位元數位資料，其值為將原值放大 2^{12} 倍後的結果

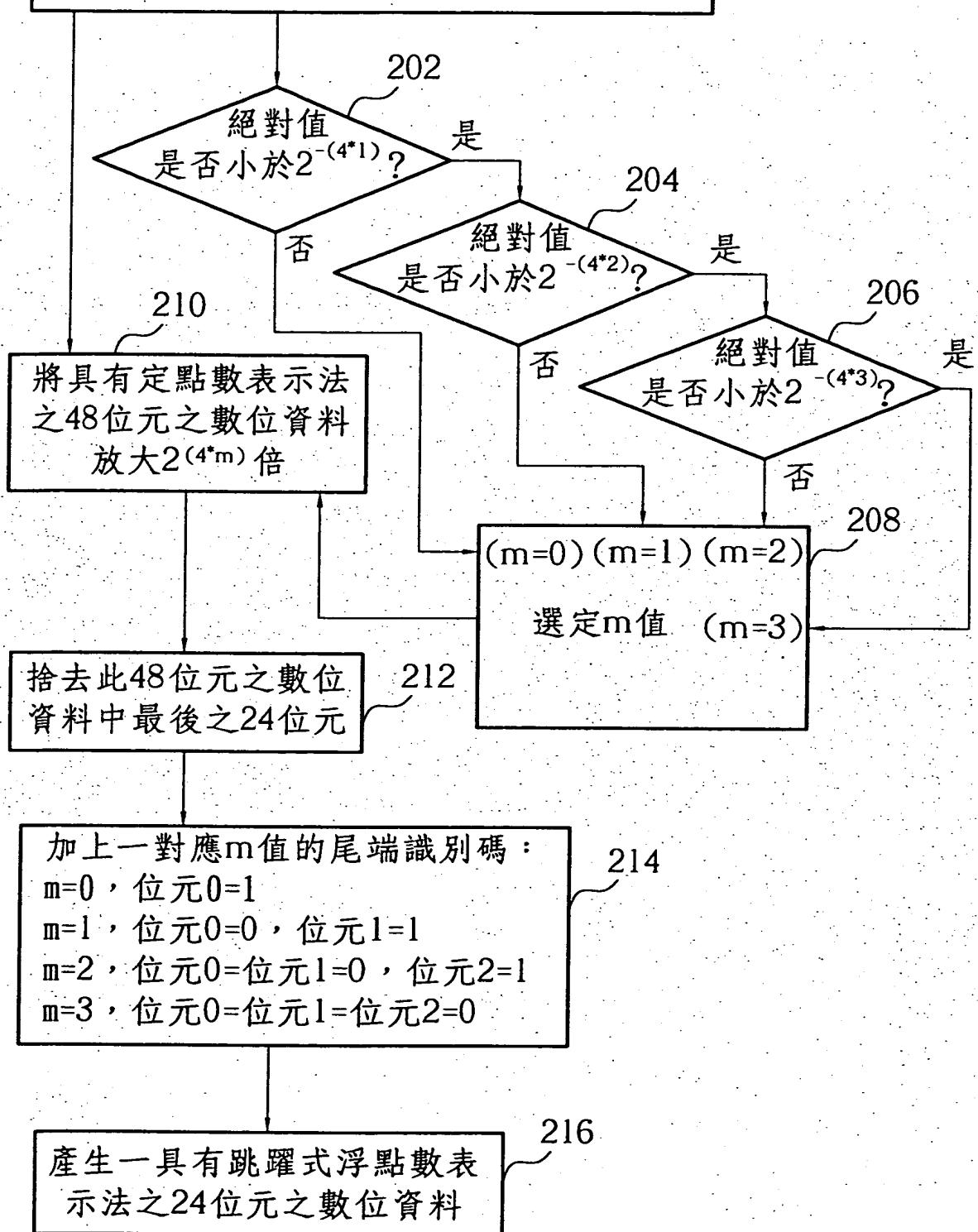
圖五

| 位移模式 | 位元23 | 位元23...位元3 | 位元2 | 位元1 | 位元0 | 說明 |
|-------|------|------------|------|------|-----|----------|
| 第零階N0 | 標示位元 | 位元資料 | 資料位元 | 資料位元 | 1 | 無放大位移 |
| 第一階N1 | 標示位元 | 位元資料 | 資料位元 | 1 | 0 | 放大位移3位元 |
| 第二階N2 | 標示位元 | 位元資料 | 資料位元 | 1 | 0 | 放大位移7位元 |
| 第三階N3 | 標示位元 | 位元資料 | 資料位元 | 0 | 0 | 放大位移12位元 |

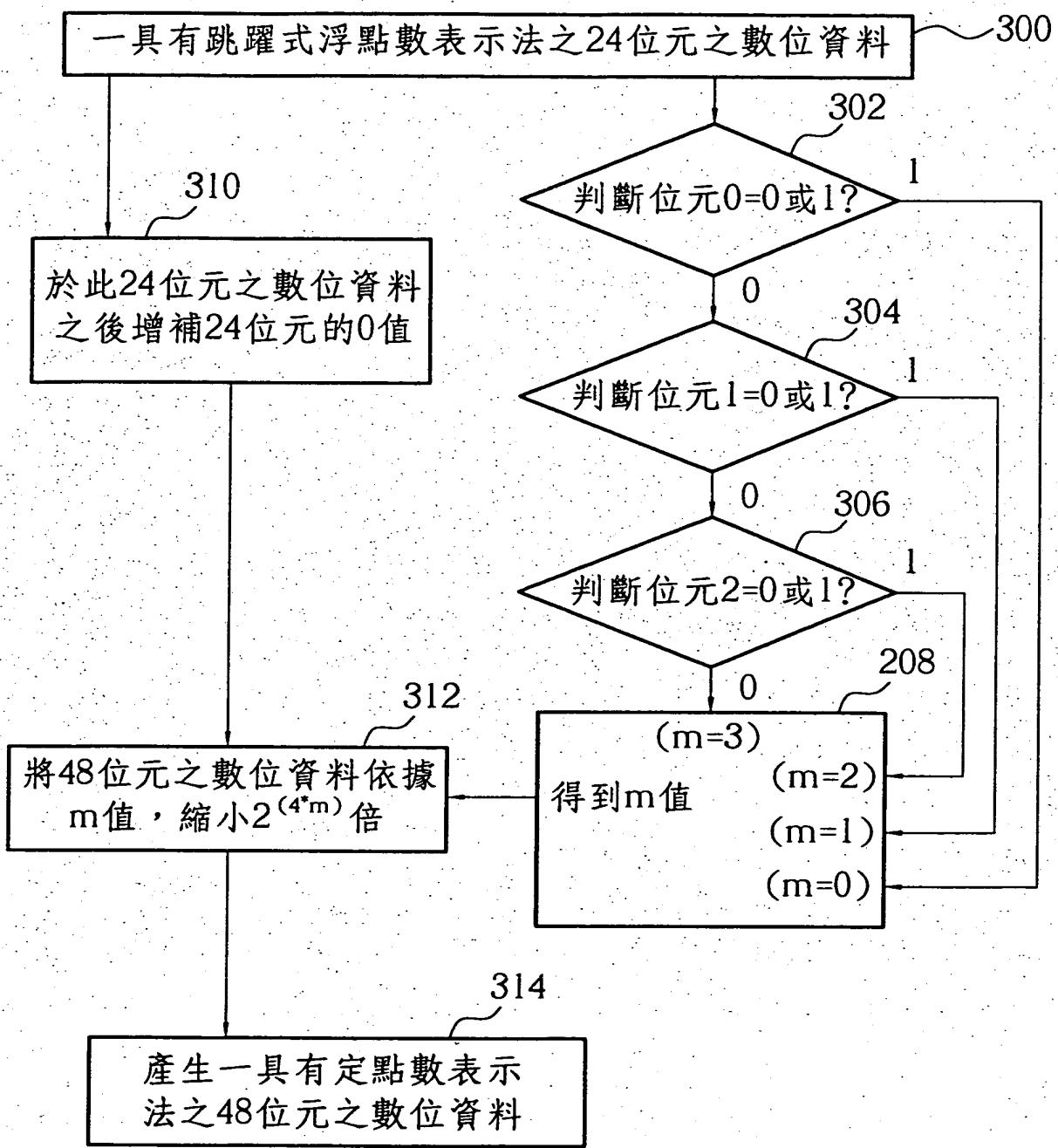


圖六

一具有定點數表示法之48位元之數位資料 ～200

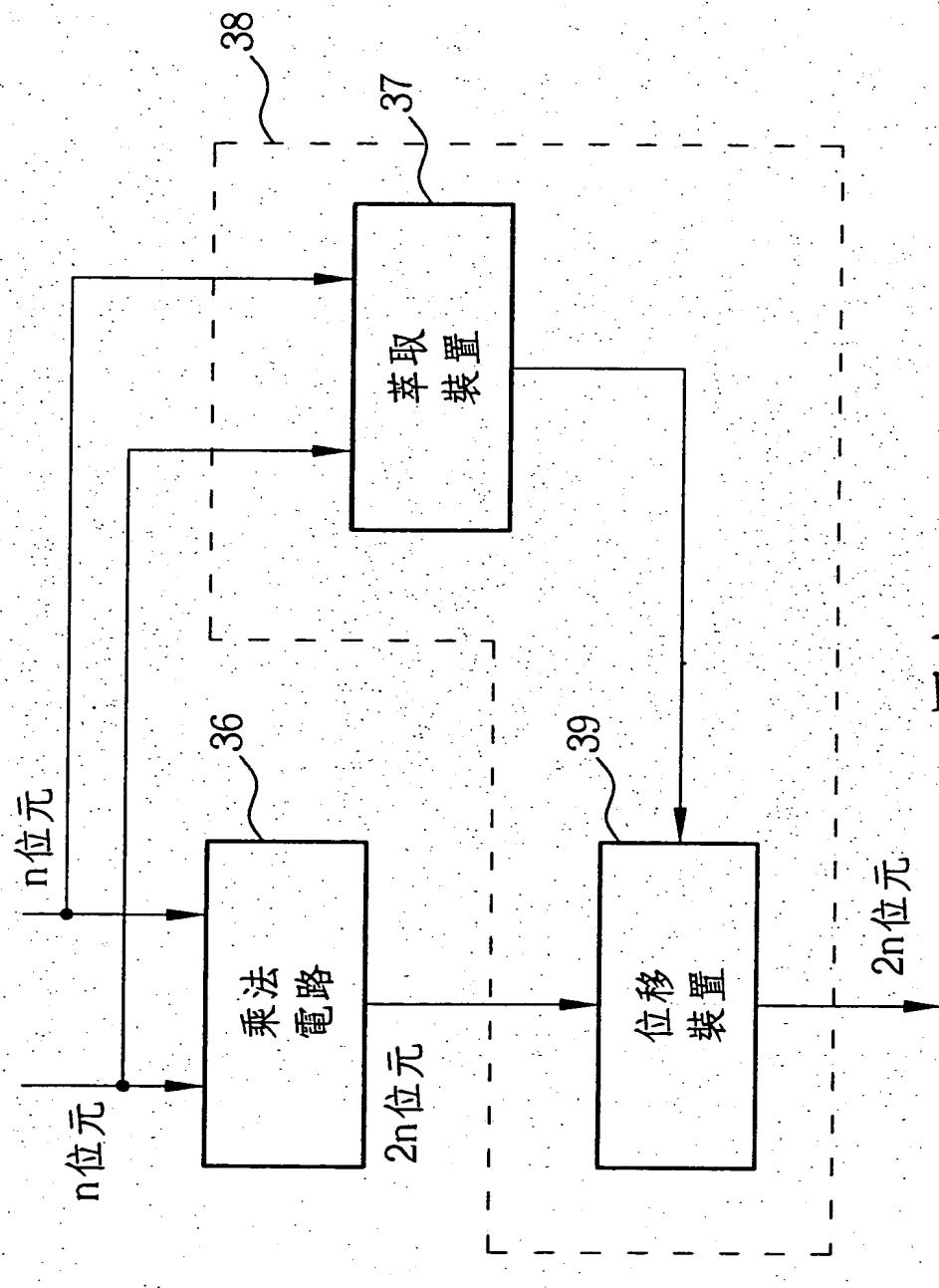


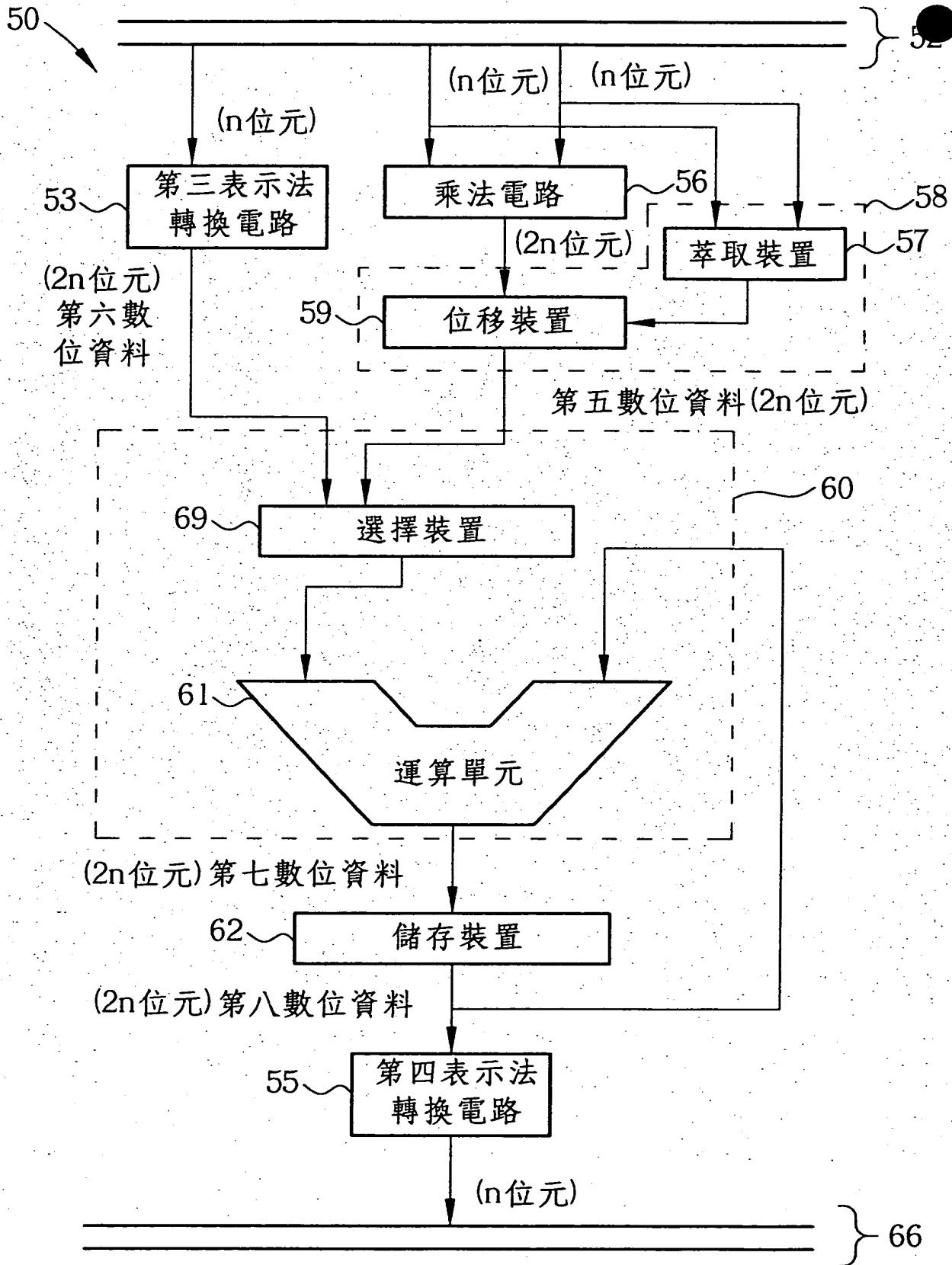
圖七



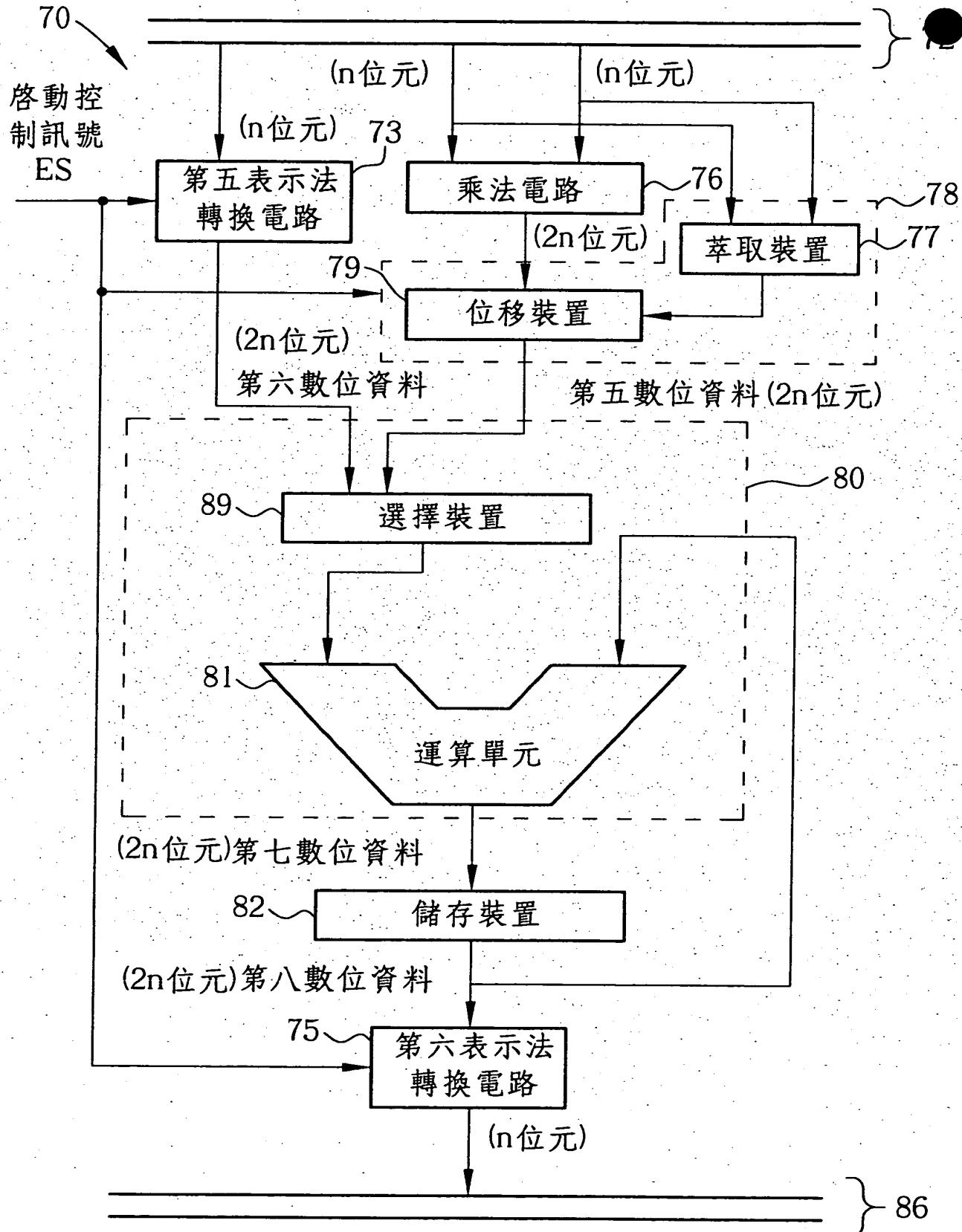
圖八

圖九



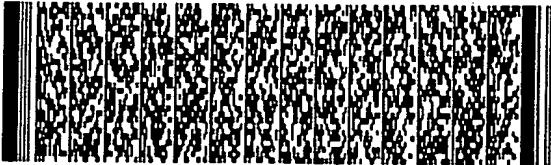


圖十



圖十一

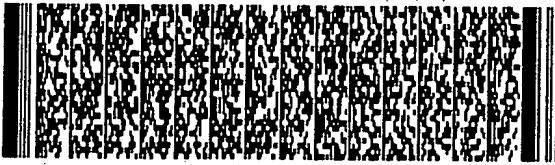
第 1/49 頁



第 1/49 頁



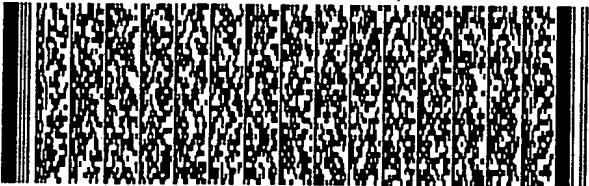
第 2/49 頁



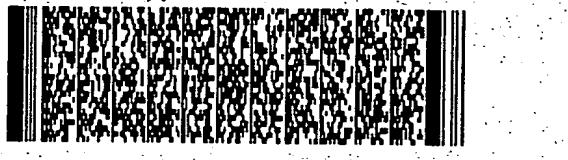
第 2/49 頁



第 3/49 頁



第 4/49 頁



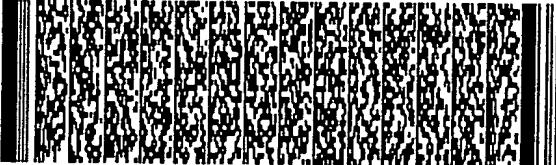
第 5/49 頁



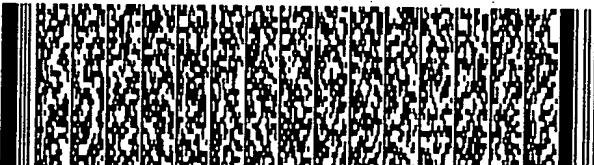
第 6/49 頁



第 6/49 頁



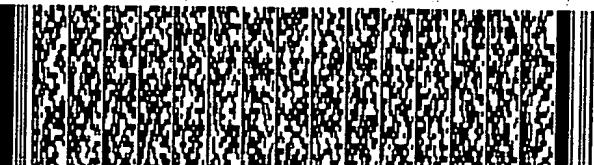
第 7/49 頁



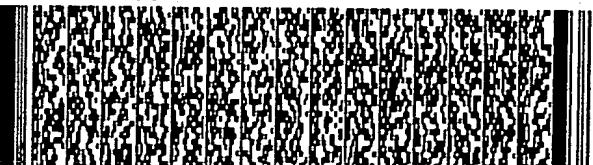
第 7/49 頁



第 8/49 頁



第 8/49 頁



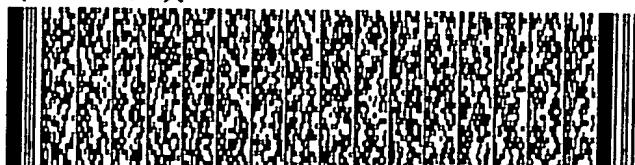
第 9/49 頁



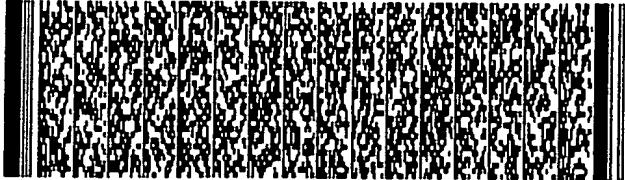
第 9/49 頁



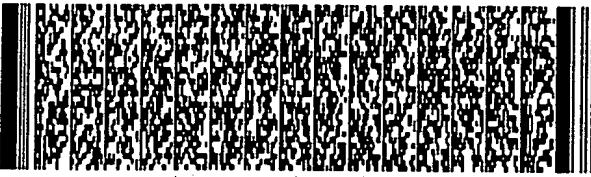
第 10/49 頁



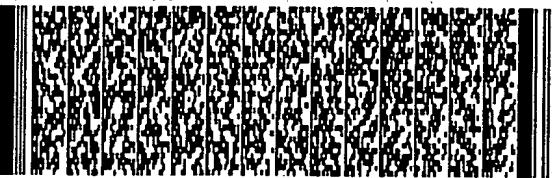
第 10/49 頁



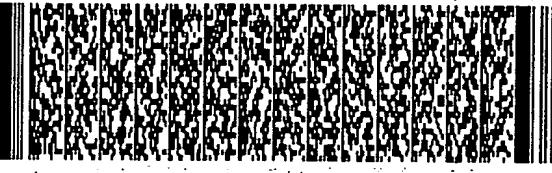
第 11/49 頁



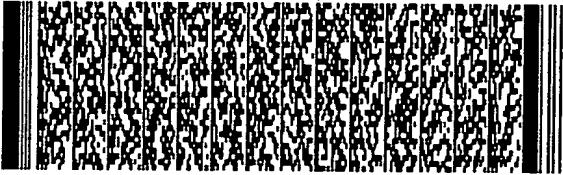
第 12/49 頁



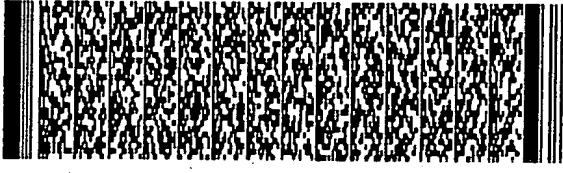
第 13/49 頁



第 15/49 頁



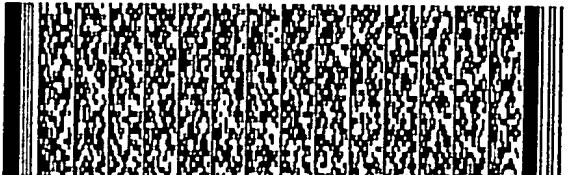
第 16/49 頁



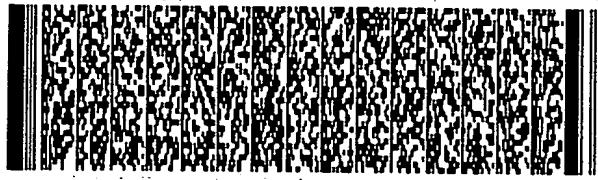
第 17/49 頁



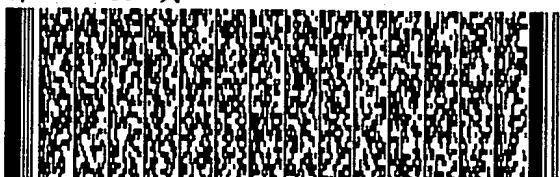
第 18/49 頁



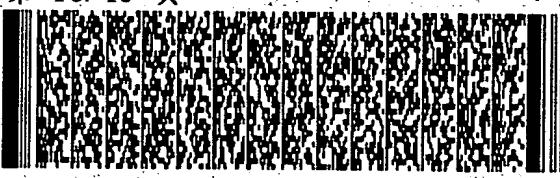
第 11/49 頁



第 12/49 頁



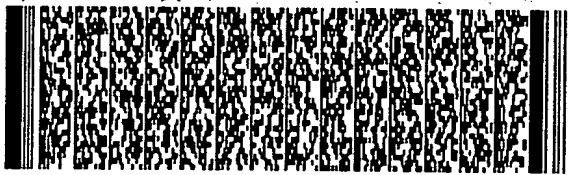
第 13/49 頁



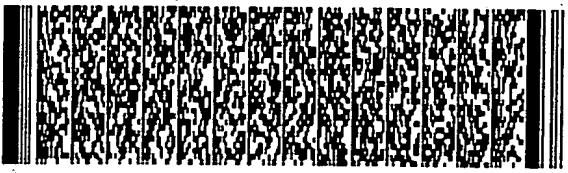
第 14/49 頁



第 15/49 頁



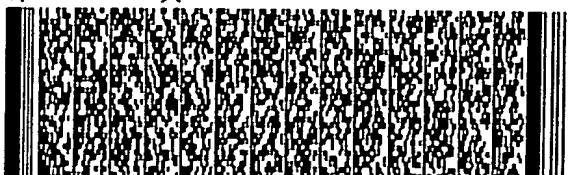
第 16/49 頁



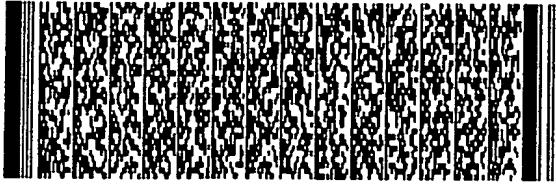
第 17/49 頁



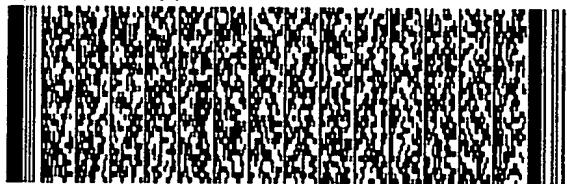
第 18/49 頁



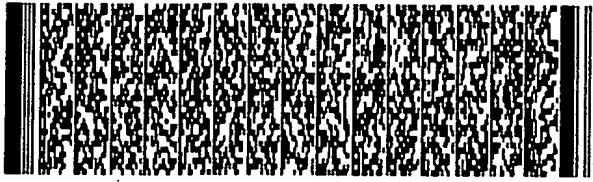
第 19/49 頁



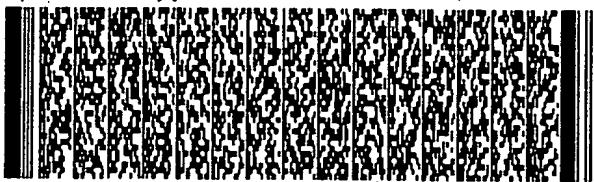
第 19/49 頁



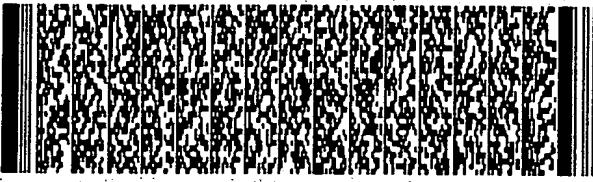
第 20/49 頁



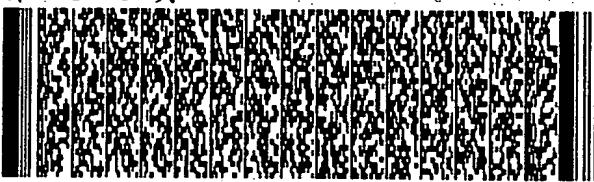
第 20/49 頁



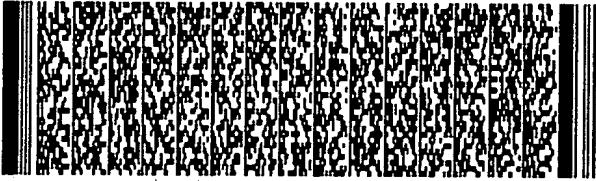
第 21/49 頁



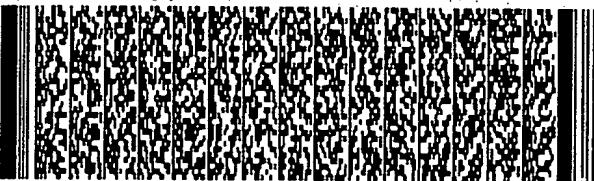
第 21/49 頁



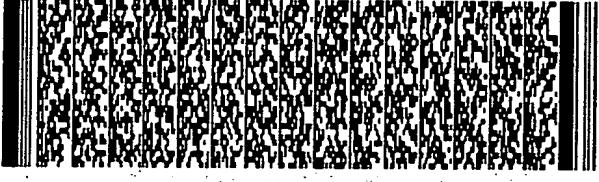
第 22/49 頁



第 22/49 頁



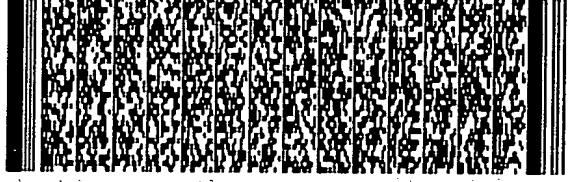
第 23/49 頁



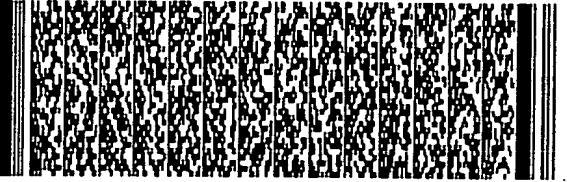
第 23/49 頁



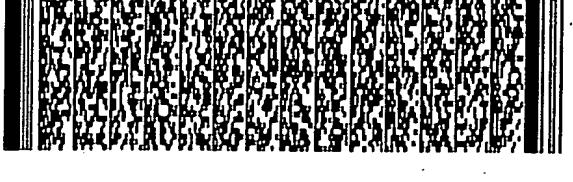
第 24/49 頁



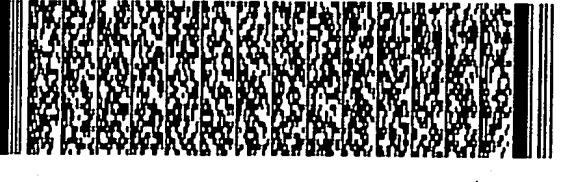
第 24/49 頁



第 25/49 頁



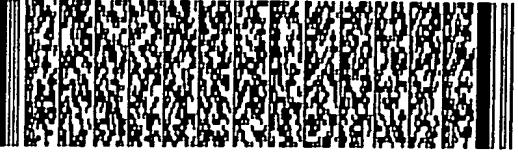
第 25/49 頁



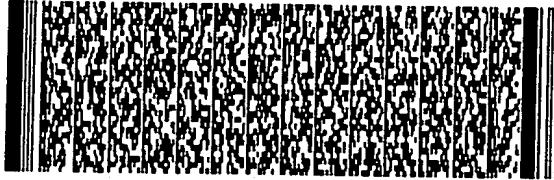
第 26/49 頁



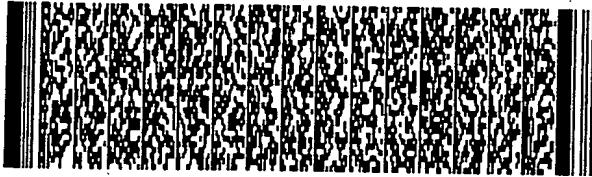
第 26/49 頁



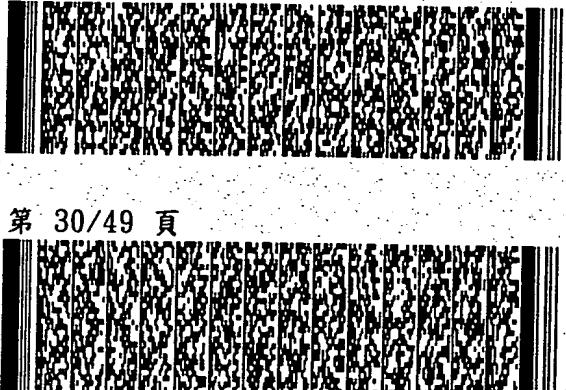
第 27/49 頁



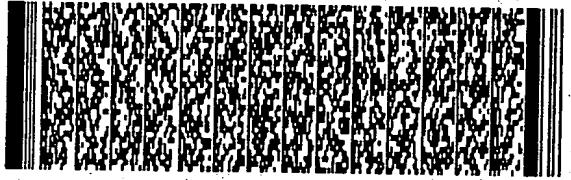
第 28/49 頁



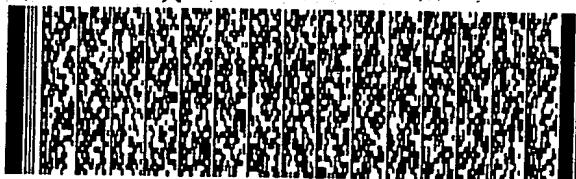
第 29/49 頁



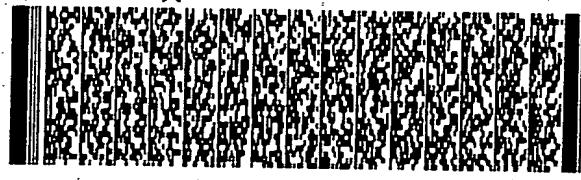
第 30/49 頁



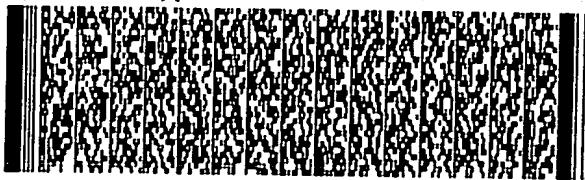
第 31/49 頁



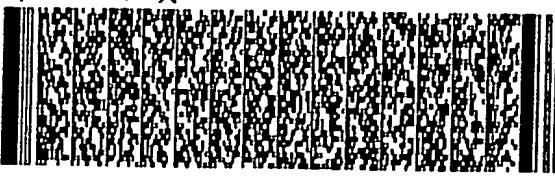
第 32/49 頁



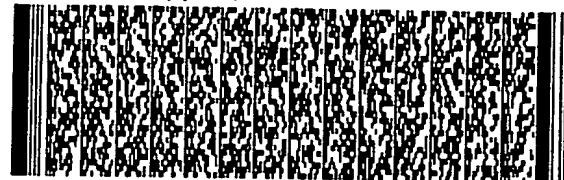
第 33/49 頁



第 34/49 頁



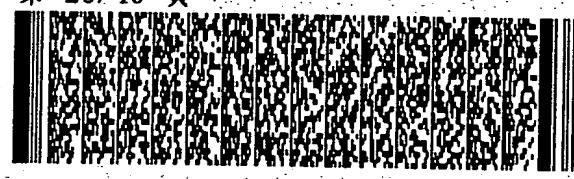
第 27/49 頁



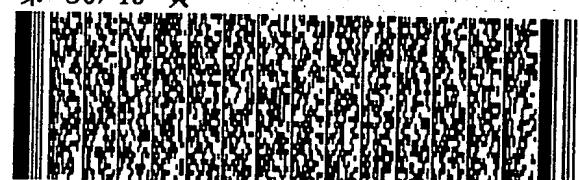
第 28/49 頁



第 29/49 頁



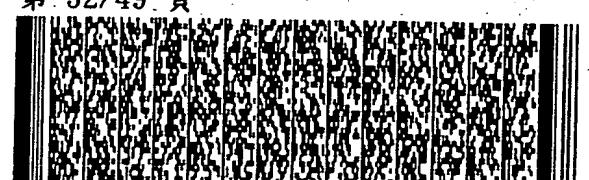
第 30/49 頁



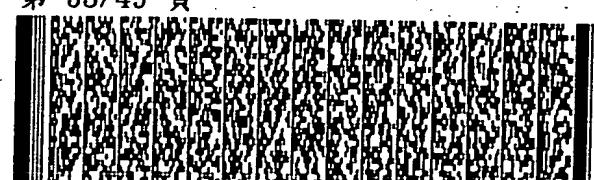
第 31/49 頁



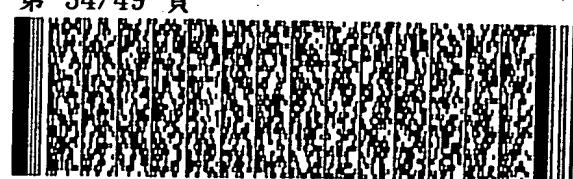
第 32/49 頁



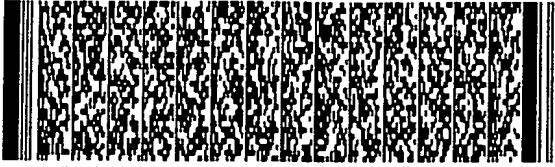
第 33/49 頁



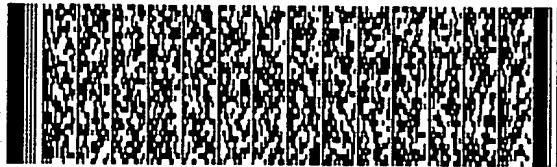
第 34/49 頁



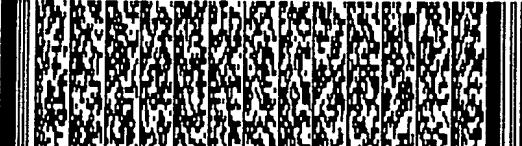
第 35/49 頁



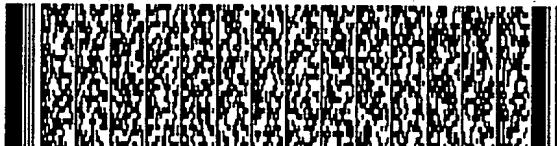
第 35/49 頁



第 36/49 頁



第 37/49 頁



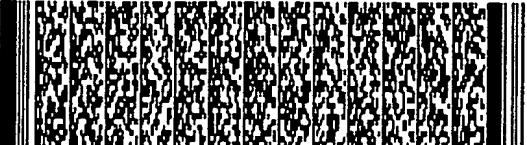
第 38/49 頁



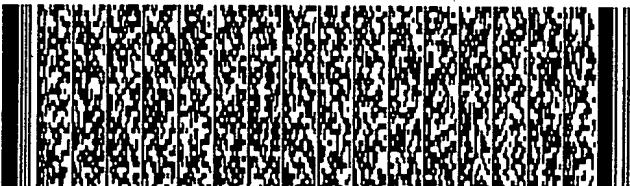
第 39/49 頁



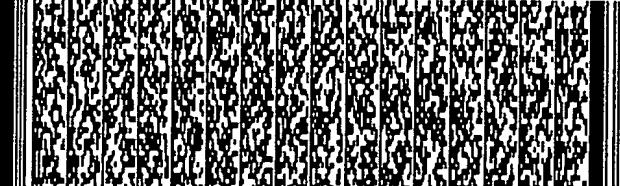
第 39/49 頁



第 40/49 頁



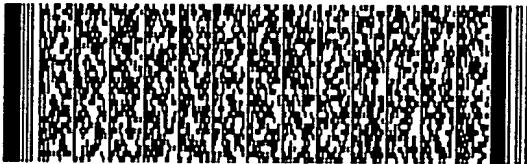
第 41/49 頁



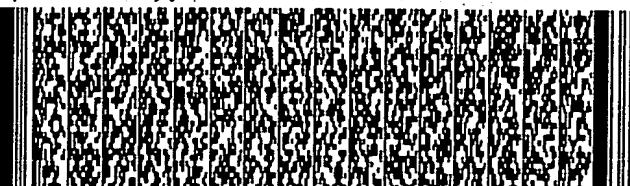
第 42/49 頁



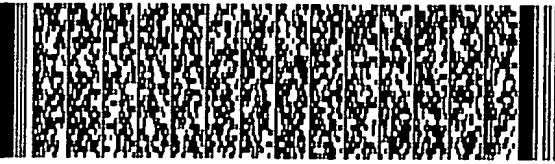
第 42/49 頁



第 43/49 頁



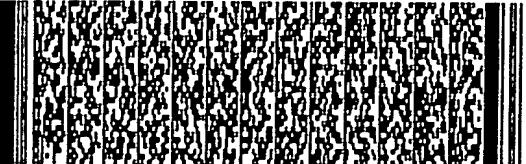
第 44/49 頁



第 44/49 頁



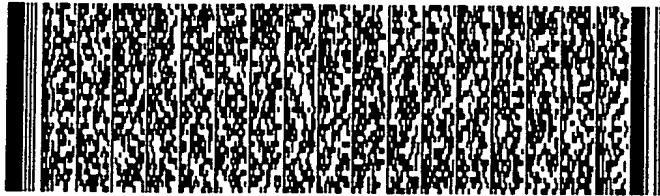
第 45/49 頁



第 45/49 頁



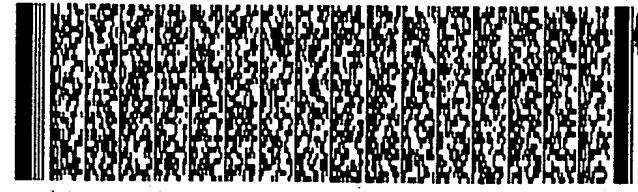
第 46/49 頁



第 48/49 頁



第 47/49 頁



第 49/49 頁



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: Bar Code

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.